



**UNIVERSIDAD JOSÉ ANTONIO PÁEZ**

**DISEÑO DE UN BANCO  
DE PRUEBAS PARA LOS TORPEDOS SST-4  
DE LA ARMADA VENEZOLANA**

**Autores:**  
Lisena Mauro  
C.I.23.507.125  
Mendoza Wilfredo  
C.I. 22.744.494

Urb. Yuma II. Calle N° 3. Municipio San Diego  
Teléfono: (0241) 8714240 (master) – Fax: (0241) 8712394



**REPÚBLICA BOLIVARIANA DE VENEZUELA  
UNIVERSIDAD JOSÉ ANTONIO PÁEZ  
FACULTAD DE INGENIERÍA  
ESCUELA DE INGENIERÍA ELECTRÓNICA  
ESCUELA DE INGENIERÍA EN TELCOMUNICACIONES**

**DISEÑO DE UN BANCO DE PRUEBAS PARA LOS TORPEDOS SST-4DE  
LA ARMADA VENEZOLANA**

**Trabajo de grado presentado como requisito para optar al título de**

**INGENIERO ELECTRÓNICO.**

**INGENIERO EN TELECOMUNICACIONES.**

**Autores:** Lisena, Mauro  
C.I.23.507.125

Mendoza, Wilfredo:  
C.I.22.744.494

**Tutor:** Ing. Centeno, José

San Diego, Febrero de 2017



Universidad José Antonio Páez  
Facultad de Ingeniería

FI-TG-2017-1CR-067

Valencia, 13 de Enero de 2017.

Ciudadanos:

**Mendoza Wilfredo**

**C.I. 22.744.494**

**Lisena Mauro.**


**C.I. 23.507.125**

Presente.-

Cumplo con informarle que la Comisión de Trabajo de Grado y Pasantías de la Facultad de Ingeniería en su reunión N° 1-2017 de fecha 13/01/2017 aprobó el proyecto de trabajo de grado titulado **"DISEÑO DE UN BANCO DE PRUEBAS PARA LOS TORPEDOS SST-4 DE LA ARMADA VENEZOLANA."** Presentado por ustedes como requisito para optar a los títulos de Ingeniero Electrónico e Ingeniero en Telecomunicaciones.

Se ratifica la designación del Ing. José Centeno, C.I. 10.738.814 y la Ing. Alicia Pizzella, C.I. 4.598.880 como Tutores Académicos que lo asesorarán en el desarrollo de este proyecto.

Atentamente:

  
Prof. Marlene Zambrano  
Decana (Encargada) de la Facultad de Ingeniería  
(CU502 de fecha 11/10/2016)



c. c. Coordinación de Pasantías y Trabajo de Grado (2).  
Archivo.

MEZ/jp



REPÚBLICA BOLIVARIANA DE VENEZUELA  
UNIVERSIDAD JOSÉ ANTONIO PÁEZ  
FACULTAD DE INGENIERÍA  
ESCUELA DE CARRERA INGENIERÍA

**ACEPTACIÓN DEL TUTOR**

Quien suscribe, Ingeniero José Centeno portador de la cédula de identidad N° 10.738.814, en mi carácter de tutor del trabajo de grado presentado por el(los) ciudadano(s) Lisena Mauro y Mendoza Wilfredo , portador(es) de la cédula de identidad N° 23.507.125 y 22.744.494, (respectivamente), titulado **“DISEÑO DE UN BANCO DE PRUEBAS PARA LOS TORPEDOS SST-4 DE LA ARMADA VENEZOLANA** presentado como requisito parcial para optar al título de Ingeniero en Telecomunicaciones e Ingeniero en Electrónica, considero que dicho trabajo reúne los requisitos y méritos suficientes para ser sometido a la presentación pública y evaluación por parte del jurado examinador que se designe.

En San Diego, a los ocho días del mes de junio del año dos mil diecisiete .

Ing. José Centeno.  
C.I.: 10.738.814



## **DEDICATORIA.**

**A Dios,** Por haberme permitido llegar hasta este punto y haberme dado salud para lograr mis objetivos, además de su infinita bondad y amor.

**A mis padres, Alberto e Irma,** por darme amor y cariño, otorgarme la formación que tengo y enseñarme muchas lecciones día a día, son mi ejemplo a seguir y el mejor regalo que Dios me ha podido dar. Me siento muy orgulloso, pues su trabajo ha empezado a rendir frutos, por todo eso y muchas cosas más, este logro no es solo mío, sino que también les pertenece. Así que espero disfruten de este trabajo. Los Amo.

**A mis abuelos, Carmen, Mercedes, Jeremías y Mauro,** porque pase lo que pase están en lo más profundo de mi corazón, son seres especiales. Sus enseñanzas y formación han trascendido. Los amo.

**A mi familia,** porque todos han puesto su grano de arena y me han apoyado para cumplir este objetivo, este trabajo va dedicado a todos ustedes, principalmente a los más pequeños para que lo tomen de inspiración y logren todas las metas que tienen por delante, especialmente a **mi hermana, Paola.** Con esfuerzo y sacrificios se llega a donde queramos. Los Amo a todos y cada uno.

**Mauro Antonio Lisena Guape.**

## **DEDICATORIA**

Le Dedico todo este esfuerzo a mi familia, que siempre han depositado su confianza y apoyo incondicional en mí durante esta etapa de mi vida; a mis compañeros de clases, con los que siempre pude trabajar hombro con hombro; a mis profesores con los cuales siempre estaré en deuda; a mi país, que este esfuerzo sirva para crear un mejor futuro; y, finalmente, a todos aquellos venezolanos que de una forma u otra luchan para mostrar su talento... ¡Esto es para ustedes!

**Wilfredo Mendoza**

## **AGRADECIMIENTOS.**

**A mis profesores,** por el impulso de mi formación académica y profesional, por las enseñanzas otorgadas día a día, me siento muy feliz de que cada uno de ustedes formara parte de esta etapa de mi vida. Muchas Gracias.

**Al tutor académico de este trabajo de grado, ingeniero José Centeno,** gracias por su apoyo incondicional, por darnos las herramientas necesarias e impartir sus conocimientos con el fin de desarrollar este trabajo. Por todos sus aportes, tanto en este trabajo como en la escuela de ingeniería de la Universidad José Antonio Paéz. Muchas Gracias.

**A mis amigos y compañeros de clase,** gracias por hacer de esta etapa muy amena y divertida. Tuve la dicha de conocer muy buenas personas a lo largo de la carrera, espero en un futuro, no muy lejano, podamos reencontrarnos. Gracias muchachos.

**Al Capitán Wilmer Mendoza,** gracias por la oportunidad brindada de desarrollar este trabajo, espero que sea el primero de muchos más. Por el aprendizaje y conocimientos que obtuve en el desarrollo de este trabajo. Muchas Gracias.

**A mi amigo, Wilfredo Mendoza,** excelente persona. Me siento muy feliz de haber realizado este trabajo contigo, eres una excelente persona, un gran compañero, muchos éxitos en la siguiente etapa, estoy seguro que tendrás muchas oportunidades y también sabrás aprovecharlas. Gracias amigo.

**Mauro Antonio Lisena Guape.**

## AGRADECIMIENTOS

En primer lugar darle gracias a mis padres **Wilmer** y **Haydee**, fuente de infinita sabiduría, paciencia, consejo y confort. Por haberme dado la oportunidad y la guía durante esta etapa tan importante en mi vida mostrándome el camino que me ha llevado a donde estoy hoy. Además de su apoyo incondicional y desinteresado en cada uno de sus consejos. Y en especial por todo el amor que he recibido durante toda mi vida

A mis hermanos **Wilmer Alberto** y **Wilmery**, con los que he contado sin importar la condición, y en los cuales he encontrado respaldo y complicidad en cualquier momento cuando así les necesite.

A mis abuelos, tíos y mis primos, los cuales siempre he encontrado ayuda incondicional en cualquier aspecto de mi vida, y siempre encontré una mano tendida dispuesta a prestarme su apoyo.

A los profesores **Marlene Zambrano, Jorge Álvarez, José Centeno, Juan Arcila, Cesar Peraza, y Dinorah Giménez** a quienes guardo admiración y un infinito respeto, con quienes adquirí una deuda increíblemente grande, porque siempre tuvieron la disposición de transmitirme todo lo que ustedes aprendieron en carne propia, ustedes fueron los faroles que alumbraron parte del camino que decidí recorrer.

A mi compañero de Tesis y principalmente mí amigo, **Mauro Lisena**, Con quien me esforcé y trabaje de igual, siempre poniendo lo mejor de nosotros para el bien de este trabajo de grado.

A mis amigos **Kevin, Michelle, Nelson, Tomas, Caryana, Peggy y Richard**. Personas grandiosas con las que espero trabajar en el futuro. A ustedes por el apoyo incondicional cuando mis fuerzas flaqueaban para finalizar este camino. Y haber tenido una mano extendida para levantarme.

A los integrantes de la **promoción XXXV de ingeniería electrónica** de la UJAP, por que juntos luchamos hombro con hombro para estar en este momento.

A todos ustedes solo les puedo decir, Gracias... Gracias... Muchas gracias

**Wilfredo Mendoza**

## ÍNDICE GENERAL

CONTENIDO	Pp
ÍNDICE DE TABLAS.....	x
ÍNDICE DE FIGURAS.....	xi
RESUMEN.....	xii
INTRODUCCIÓN.....	1
<b>CAPÍTULO</b>	
<b>I EL PROBLEMA</b>	
1.1 Planteamiento del Problema.....	3
1.2 Formulación del Problema.....	4
1.3 Objetivos de la Investigación.....	4
1.3.1 Objetivo General.....	4
1.3.2 Objetivos Específicos.....	5
1.4 Justificación.....	5
1.5 Alcance.....	6
1.6 Limitaciones.....	6
<b>II MARCO TEÓRICO</b>	
2.1 Antecedentes.....	7
2.2 Bases Teóricas.....	9
2.2.1 Banco de pruebas.....	9
2.2.2 Mantenimiento.....	9
2.2.3 Confiabilidad.....	10
2.2.4 Medición.....	10
2.2.5 Instrumento de medición.....	11
2.2.6 Lógica binaria.....	11
2.2.7 Señales analógicas.....	12
2.2.8 Señales digitales.....	12
2.2.9 Digitalización de señales.....	13
2.2.10 Códigos de Línea.....	15
2.2.10.1 Codificación unipolar.....	15
2.2.10.2 Codificación polar.....	16
2.2.10.3 Codificación bipolar.....	16
2.2.11 Oscilador controlado por voltaje.....	16
2.2.12 Bucles de enganche de fase.....	17
2.2.13 Transmisión de datos digitales.....	17
2.2.8 Modulación.....	18
2.2.9 Modulación Digital.....	18
2.2.10 Modulación por desplazamiento de frecuencia.....	18
2.3 Bases Legales.....	20

2.4Definición de Términos básicos.....	22
<b>III MARCO METODOLÓGICO</b>	
3.1Tipo de investigación.....	26
3.2Diseño de la investigación.....	26
3.3Nivel de la investigación.....	27
3.4Fases de la investigación.....	27
3.5Población y muestra.....	28
3.6Técnicas e instrumentos de investigación.....	29
<b>IV RESULTADOS</b>	
4.1 Fase I.....	31
4.1.1 Entrevista con los expertos.....	31
4.1.2 Observación directa.....	36
4.1.3 Revisión documental .....	37
4.2 Fase II.....	48
4.3 Fase III.....	56
<b>CONCLUSIONES</b> .....	69
<b>RECOMENDACIONES</b> .....	71
<b>REFERENCIAS</b>	
Bibliográficas.....	72
<b>ANEXOS</b>	73
Anexo A. Compromisos de confidencialidad.....	
Anexo B. Hojas de especificación del circuito integrado CD4029.....	
Anexo C. Hojas de especificación del circuito integrado SN74HC374...	
Anexo D. Hojas de especificación del circuito integrado CD4014.....	
Anexo E. Hojas de especificación del circuito integrado XR-2206.....	
Anexo F. Hojas de especificación del circuito integrado XR-2211.....	
Anexo G Hojas de especificación del circuito integrado LM158/LM358	

## ÍNDICE DE FIGURAS

FIGURA	CONTENIDO	Pp
1	Señal analógica y señal digital.....	12
2	Digitalización de una señal analógica.....	14
3	Codificación unipolar.....	15
4	Representación de modulación FSK.....	19
5	Diagrama a bloques de un demodulador FSK.....	20
6	Diagrama de flujo de la información a través del banco de pruebas para el torpedo SST-4.....	39
7	Representación del proceso de conversión paralelo-serial del TC...	41
8	Diagrama a bloques del sistema de comunicación del banco de pruebas para el torpedo SST-4.....	44
9	Modulación FSK.....	45
10	Esquema de una fuente DC.....	47
11	Diagrama esquemático de la ventana de palabra.....	50
12	Esquema general de la conversión paralelo-serial.....	51
13	Regulador de voltaje.....	54
14	Ejemplo de una compuerta lógica DTL.....	56
15	Diagrama esquemático del sistema de ventana de palabra.....	58
16	Conexión del 74HC374.....	59
17	Diagrama esquemático del 4014.....	60
18	Simulación del TC con Proteus.....	61
19	Diagrama esquemático del modulador FSK.....	62
20	Diagrama esquemático del demodulador FSK.....	64
21	Configuración filtros activos pasa-banda.....	66
22	Esquema de conexión de la fuente.....	67
23	Esquema de conexión de la unidad de tiempo.....	68

## ÍNDICE DE TABLAS

TABLA	CONTENIDO	Pp
1	Población y muestra del taller de torpedos.....	29
2	Pesos específicos de la palabra uno.....	42
3	Pesos específicos de la palabra dos.....	42
5	Pesos específicos de la palabra tres.....	43
6	Palabra ocho.....	43
7	Tabla 5: Tabla de la verdad 74HC374.....	59
8	Funciones de los componentes externos del demodulador FSK.....	64



**REPÚBLICA BOLIVARIANA DE VENEZUELA  
UNIVERSIDAD JOSÉ ANTONIO PÁEZ  
CARRERA INGENIERÍA  
FACULTAD DE INGENIERÍA ELECTRÓNICA  
FACULTAD DE INGENIERÍA EN TELECOMUNICACIONES**

**DISEÑO DE UN BANCO DE PRUEBAS PARA LOS TORPEDOS SST-4 DE  
LA ARMADA VENEZOLANA**

**Autor:** Lisena, Mauro y Mendoza, Wilfredo.

**Tutor:** Ing. José Centeno.

**Fecha:** Enero 2017.

**RESUMEN**

El estudio tuvo como objetivo general el diseño de un banco de pruebas para los torpedos SST – 4 de Armada de Venezuela, si muy bien este equipo ya existe, data de 1970, por lo que la tecnología empleada en el mismo es considerablemente ineficiente en comparación a las creadas posteriormente y en virtud de la naturaleza de una institucional de la Armada de Venezuela es necesario comenzar un proceso de modernización de estos equipos. Como resultado de la misma se origino una planificación para que la Armada de Venezuela pueda poner en marcha la producción del mismo, dependiendo de las necesidades de la misma además de servir de antecedente para futuras actualizaciones a sus inventarios.

**Descriptor:** modernización, protocolos de prueba, protocolos de comunicación, medición.

## **INTRODUCCIÓN.**

El torpedo pesado SST-4 fue adquirido por la Armada de Venezuela en la década de los años 70 conjuntamente con los submarinos S-31 (Sábalo) y el S-32 (Caribe) a la Republica de Alemania. Con la compra de éstos, también se obtuvieron los equipos para su mantenimiento. Estos equipos en el momento de su fabricación estuvieron a la vanguardia tecnológica de su época. No obstante, con el pasar del tiempo y al desarrollo de nuevas tecnologías, han quedado obsoletos, aunque siguen teniendo un margen de fiabilidad bastante satisfactorio, característica obligatoria por la naturaleza institucional de la Armada de Venezuela por lo que su descarte total seria una pérdida considerable, forzando que cualquier trabajo de remplazo sea minucioso, siendo ésta, una de las principales causas que frenaron el desarrollo de actualizaciones.

Aunque los equipos se desarrollaron en su momento, el avance de nuevas tecnologías como la de los microprocesadores ha estado en un constante periodo de actualización, por lo que ahora se convierte en un momento idóneo para lograr la fiabilidad de los equipos actuales y aumentar la eficiencia tanto energética como de procesamiento, lo que tendría como consecuencia, la posibilidad de que el equipo generado sea más compacto e inclusive portátil, lo cual permitiría realizar diagnósticos de los Torpedos SST-4 en ambientes distintos al taller actual.

Para cumplir con las normativas establecidas por la Universidad José Antonio Páez para la presentación de un Trabajo de Grado y orientar la investigación, la estructura de este trabajo se desarrolla en cuatro capítulos, los cuales se describen a continuación:

**Capítulo I:** El trabajo inicia con la descripción y formulación del problema, seguidamente de la presentación de los objetivos que guiarán la investigación, luego se procede a dar la justificación, alcance y limitaciones de la misma.

**Capítulo II:** Se introduce los antecedentes e investigaciones que tratan el mismo problema o se relacionan con la presente investigación. Se explican las bases teóricas que son necesarias para la elaboración de esta investigación y en última instancia se definen los términos básicos.

**Capítulo III:** Se describe todo lo referente al marco metodológico, como lo son el tipo y diseño de la investigación a utilizar para cumplir los objetivos del trabajo, el nivel de investigación, fuentes, técnicas e instrumentos de recolección de datos, conjuntamente con la población y muestra. También se detallan las fases metodológicas diseñadas para cumplir con los objetivos específicos del trabajo.

**Capítulo IV:** Se presentan parcialmente los resultados de las fases, los cuales abarcan desde el estudio del banco de pruebas original, hasta generar el diseño para que la Armada Venezolana invierta en su construcción.

# **CAPÍTULO I.**

## **EL PROBLEMA.**

### **1.1 Planteamiento del problema.**

En la actualidad, los equipos usados para el mantenimiento de los torpedos SST-4 que posee la Armada Venezolana, para la defensa de la soberanía, datan de 1970 y no se ha hecho hasta la fecha ningún esfuerzo para la actualización de los mismos. Estos equipos son bancos de trabajo que ocupan escritorios de gran tamaño, haciendo prácticamente nula la posibilidad de hacer alguna prueba en un ambiente distinto del taller de torpedos. Esta limitante entra en un gran conflicto con la naturaleza de la institución, puesto que en caso de contingencia, la institución debe estar en capacidad de poder realizar reparaciones de manera rápida y eficiente, independientemente de la ubicación del torpedo, lo que implica una logística de traslado muy grande. Por tanto, la necesidad de optimizar los bancos de prueba, es prioritaria para así garantizar la capacidad de reacción de la Armada Venezolana ante cualquier situación.

Es de destacar que la tecnología utilizada, que era muy avanzada en su momento, está basada en transistores clase JFET o BJT. Estos dispositivos electrónicos, están contruidos mediante la unión de materiales semiconductores dopados con impurezas que favorecen la conducción, y aunque los mismos pueden ser utilizados en el manejo de señales analógicas y digitales, ya sea como amplificadores de voltaje, amplificadores de corriente o arreglos lógicos, tienen la desventaja de disipar cantidades considerables de potencia en forma de calor, lo que se traduce en dos consecuencias inmediatas: La primera asociada a la elevada temperatura interna del equipo. Esta condición compromete tanto la fiabilidad del mismo, como su vida útil. La segunda condición comprende los consumos de energía, los cuales son elevados y no son aprovechados completamente por el sistema de

control. Por otro lado, la unidad de procesamiento de señales de los bancos de trabajo está constituida parcialmente por compuertas lógicas. Las mismas están construidas con arreglos de transistores en un circuito impreso, esto agrava más la situación, ya que para una única compuerta, se utilizan arreglos de transistores, lo cual conlleva a un aumento considerable de la temperatura, como se expuso anteriormente.

Para compensar parcialmente las altas de temperaturas, que pueden estar por encima de los 50° C, y que pueden ser producidas en el interior del banco de prueba para los torpedos SST-4, se implementaron disipadores de calor. Un disipador es un instrumento que se utiliza para bajar la temperatura de dispositivos electrónicos, el mismo funciona basado en la ley cero de la termodinámica, transfiriendo el calor de la parte caliente que se desea disipar al aire. Este proceso se propicia aumentando la superficie de contacto con el aire. Estos dispositivos normalmente están construidos con aluminio o cobre que son excelentes conductores de calor, además de tener un costo accesible, no obstante las altas temperaturas generadas por la disipación de potencia en los transistores hace que necesariamente las dimensiones del equipo sean mayores, contribuyendo al problema anteriormente planteado.

## **1.2 Formulación del problema.**

En virtud de los planteamientos hechos en la sección anterior y con la finalidad de dar solución a la problemática descrita, los investigadores se hicieron la siguiente interrogante para dar inicio a la investigación: ¿Cómo se pueden actualizar los bancos de prueba para los torpedos SST-4 de la Armada Venezolana, conservando el nivel de fiabilidad de los mismos?

## **1.3 Objetivos de la investigación.**

### **1.3.1 Objetivo General.**

Diseñar un banco de pruebas que permita ejecutar la evaluación de los protocolos de pruebas de los torpedos SST-4 de Armada Venezolana.

### **1.3.2 Objetivos Específicos.**

- 1 Estudiar los bancos de pruebas para los torpedos SST – 4 que posee actualmente la Armada Venezolana.
- 2 Identificar las posibles mejoras que se puedan realizar a los bancos de prueba para los torpedos SST – 4 actuales.
- 3 Establecer un sistema de comunicación, control, adquisición y envío de datos.

### **1.4 Justificación.**

En la geopolítica de la actualidad, Venezuela se ha posicionado en un sitio privilegiado, siendo considerado por mucho tiempo como la puerta a Sudamérica, por su ubicación, la cual tiene acceso al mar y facilidad de recursos naturales. Es por ese motivo que otras naciones en situaciones similares (como por ejemplo Siria) se han visto inmersas en conflictos, por lo que Venezuela como nación, con la realización de este proyecto obtendría una herramienta o mejor aún: una ventaja estratégica, al mantener operativos equipos para la defensa de su soberanía y por consiguiente la seguridad de sus ciudadanos.

La Armada Venezolana tiene como principal objetivo la defensa de la soberanía, por lo cual es imprescindible que todos sus equipos estén disponibles para su uso en caso de contingencia, por este motivo el mantenimiento preventivo es requisito esencial para el cumplimiento de sus funciones. La modernización de los bancos de prueba de los torpedos SST-4 traería como beneficio, mejorar la capacidad de respuesta en caso de alguna falla o una puesta a punto de los torpedos, necesitando una logística menor de la que actualmente es requerida, además de permitir la posibilidad de hacer diagnósticos en ambientes distintos al taller fijo, que existe actualmente.

Como consecuencia de esta investigación de campo, la Universidad José Antonio Páez, podrá disponer en su biblioteca de la documentación generada durante el desarrollo de la misma, sirviendo como antecedente para futuras investigaciones en el área de electrónica y telecomunicaciones en el sector militar de Venezuela.

Además este trabajo dejará precedente para la utilización o desarrollo de nuevas tecnologías para instituciones militares venezolanas.

En este proyecto se necesita establecer un sistema de control, adquisición y envío de datos y procesamiento de señales, pues el banco de pruebas para los torpedos SST-4 debe ser capaz de: (1) establecer comunicación con el torpedo, para así verificar que haya consistencia entre las ordenes y la respuesta del torpedo, (2) evaluar que la respuesta del torpedo efectivamente corresponda al protocolo que efectúa la unidad de prueba, (3) realizar un sistema de comunicación “Full – Dúplex” que sea capaz de establecer la comunicación entre el torpedo SST- 4 y el módulo de pruebas a través de un cable de 50 Km. de largo, de manera que la información viaje en ambos sentidos simultáneamente y de manera instantánea, (4) además deberá poseer un sistema de filtrado de las señales para evitar la interferencia entre las informaciones que circularan por el mismo canal.

### **1.5 Alcance.**

El proyecto en desarrollo tiene como alcance, el diseño de un equipo portátil para la ejecución de los protocolos de prueba y mantenimiento de los torpedos SST-4 usados por la Armada Venezolana, en la base Agustín Armario, ubicada en Puerto Cabello, Estado Carabobo.

Los aspectos puntuales que comprende la investigación están referidos al estudio de los bancos de trabajo actuales, sus características, estructura interna y modos de operación, con el fin de identificar mejoras posibles y así, proponer finalmente el diseño de un equipo portátil capaz de realizar las tareas necesarias y requeridas por la Armada Venezolana, para llevar a cabo los protocolos de pruebas y mantenimiento de los torpedos SST-4.

### **1.6 Limitaciones.**

Para esta investigación, se tendrán limitaciones de tipo operativas, éstas son las siguientes:

- i) Escasez de dispositivos electrónicos en el mercado.
- ii) Referencias bibliográficas limitadas.

## **CAPÍTULO II.**

### **MARCO TEÓRICO.**

#### **2.1 Antecedentes.**

Rodríguez P, Emmanuel. y Puentes C, Luis (2015), desarrollaron el trabajo que lleva por nombre **“Actualización de un prototipo de adquisición de datos de magnitudes físicas en los nodos de REDIUC basado en tecnología Arduino”**, en el cual, implementaron un prototipo de monitoreo de variables físicas de interés para los administradores de la red, haciendo uso de tecnología Arduino, lo cual les permitió desarrollar códigos para la comunicación mediante el protocolo SNMP de monitoreo, dando ventajas al prototipo como la capacidad de responder a solicitudes y enviar mensajes cuando se detectan anomalías en el nodo de instalación, específicamente en el nodo de comunicaciones de Bárbula. Finalmente el prototipo fue incorporado a la red universitaria y a los softwares de monitoreo que se utilizan en ésta, dejándose a disposición de los administradores en conjunto a un CD que contiene los códigos y librerías que utiliza, además de un manual que resume las características para su réplica, modificaciones, limitaciones y corrección de errores.

Así mismo, Torres García, L (2013) en su trabajo de grado llamado **“Propuesta de conexión de un sistema de radio de dos vías mediante fibra óptica para CORPOELEC estado Carabobo”**. En su trabajo destaco que CORPOELEC posee diversos sistemas de telecomunicaciones, los cuales se han ido desarrollando con el transcurrir del tiempo. Uno de los sistemas más importante es el de radio, ya que este da una mayor eficiencia y practicidad a la hora de comunicarse en emergencias. En la región central se posee un sistema de radio de dos vías que contiene una gran cantidad de subestaciones afiliadas al mismo, al igual que en el eje costero, solo que ésta tiene una cantidad menor de subestaciones, además entre estas dos regiones existe un sistema de fibra óptica que pasa por las torres de alta tensión, debido a que la subestación principal se encuentra ubicada en la Región Central, es necesario que

la Región Costera pueda comunicarse de una manera rápida y efectiva con la Región Central.

Por otro lado, Malavé Fermín, D (2012) en su trabajo **“Modernización de las tarjetas dt370 y dt371 del sistema de control automatizado “Protocolo p-13” de las calderas del complejo planta centro valencia (CORPOELEC C.A.)”**. logró de manera parcial la propuesta de modernización de estas tarjetas e inclusive se cumplió con la fabricación y pruebas con componentes discretos de fácil reemplazo existente en el mercado trayendo beneficios a la confiabilidad del sistema en cuanto a la reducción de fallas frecuentes en los componentes, debido a que son elementos compactos de poco consumo, visualización de las variables de entrada y salida, simulación de las variables de salida, disminución de la disipación de potencia y temperatura, protección contra cortocircuitos, fabricación con componentes de bajo costo existentes en el mercado de la electrónica, creación de planos circuitales y circuitos impresos. El aporte al trabajo de esta investigación es que ambos equipos son relativamente contemporáneos y utilizaban tecnologías similares.

También, Magallanes Ibáñez, J (2011) en su trabajo llamado **“Diseño de un banco de pruebas de cilindros hidráulicos”** investigó sobre el desarrollo de un banco de pruebas que le permitiría disminuir los tiempos y costos de los servicios de mantenimiento que ofrece la empresa PetroAdvance C.A. a sus clientes. Luego de definir el funcionamiento deseado del banco, se buscan y seleccionan equipos a recuperar (en el almacén de piezas usadas), se dimensionan los elementos a comprar para la unidad de potencia hidráulica (UPH) se desarrolla el diagrama de procesos e instrumentación (P&ID), se elaboran planos estructurales, se construye y prueba la UPH según las normas y procedimientos de trabajo aprobados por la empresa. Este trabajo especial de grado fue implementado en la empresa PetroAdvance C.A. y el autor documentó los resultados. En este caso, el proyecto aporta la experiencia en la construcción de bancos de pruebas.

## **2.2 Bases Teóricas.**

Arias (2012) afirma que “Las bases teóricas implican un desarrollo amplio de los conceptos y proposiciones que conforman el punto de vista o enfoque adoptado, para sustentar o explicar el problema planteado” (p. 107). En este sentido, esta sección puede dividirse en función a los tópicos que integran la temática tratada o de las variables que serán analizadas, las cuales son descritas a continuación.

### **2.2.1 Banco de Pruebas.**

Un banco de pruebas es una plataforma para experimentación de proyectos en desarrollo. Los bancos de pruebas brindan una forma de comprobación rigurosa, transparente y repetible de teorías científicas, elementos electrónicos, y otras tecnologías. El término se usa en varias disciplinas para describir un ambiente de desarrollo que está protegido de los riesgos de las pruebas en un ambiente de producción. Es un método para probar un módulo particular en forma aislada. Un banco de pruebas se usa cuando se verifica el estado de un módulo específico separado del conjunto de elementos al que pertenece o será agregado luego.

### **2.2.2 Mantenimiento.**

Según la norma UNE-EN-13306 define mantenimiento como “Combinación de todas las acciones técnicas, administrativas y de gestión, durante el ciclo de vida de un elemento, destinadas a conservarlo o devolverlo a un estado en el que pueda desarrollar la función requerida”. De igual manera se reconocen cuatro tipos de mantenimientos, los cuales son: Correctivo y Preventivo.

- **Mantenimiento Correctivo:** este tipo de mantenimiento está orientado a solventar una avería anteriormente detectada. La Asociación Colombiana de Ingenieros (ACIEM por sus siglas) en su obra “Guía de los Fundamentos de Mantenimiento y Confiabilidad” (2014) define como mantenimiento correctivo: “Aquel mantenimiento ejecutado después del reconocimiento de una avería, y destinado a llevar un elemento a un estado en el que pueda desarrollar una función requerida”

- **Mantenimiento Preventivo:** Es aquel mantenimiento que se realiza de manera rutinaria y está destinado a anticipar las posibles fallas operacionales en los equipos, instrumentos e infraestructuras para asegurar la integridad de los mismos, durante el tiempo. Su característica principal es el reemplazo de elementos sin importar su estado. Según ACIEM en su obra “Guía de los Fundamentos de Mantenimiento y Confiabilidad” (2014) define el mantenimiento preventivo como “Aquel mantenimiento ejecutado a intervalos predeterminados o de acuerdo con unos criterios prescritos y destinado a reducir la probabilidad de fallo o la degradación de funcionamiento de un elemento”.

### **2.2.3 Confiabilidad.**

Se entiende por confiabilidad, la probabilidad de que algún elemento en determinado sistema opere sin falla siempre y cuando el ambiente en el que este opera sea constante. El estudio de la confiabilidad se realiza con la finalidad de:

- Determinar el tiempo en el que un elemento o un sistema opere sin fallas.
- Determinar el tiempo en el que se espera que una cantidad específica de elementos sobreviva.
- Determinar la tendencia de falla de un elemento a futuro.
- Dado que un elemento o sistema ha sobrevivido un tiempo de vida útil, estimar cuanto tiempo podría continuar operando sin falla
- Determinar la seguridad del sistema

### **2.2.4 Medición.**

La medición es un proceso por el cual se obtiene una característica propia de un elemento, la cual es comparada con una referencia o patrón con el fin de determinar la cantidad de veces que el patrón esta contenido dentro del objeto a medir. Según Fenton y Pfleeger (1997) la medición es " (...) el proceso por el cual se asignan números o símbolos a atributos de entidades del mundo real de tal forma que los describa de acuerdo con reglas claramente definidas"

### **2.2.5 Instrumento de Medición.**

Un instrumento de medición es un aparato que se usa para comparar magnitudes físicas mediante un proceso de medición. Como unidades de medida se utilizan objetos y sucesos previamente establecidos como estándares o patrones, y de la medición resulta un número que es la relación entre el objeto de estudio y la unidad de referencia. Los instrumentos de medición son el medio por el que se hace esta lógica conversión.

Las características principales de todo instrumento de medición son:

- **Precisión:** es la capacidad de un instrumento de dar el mismo resultado en mediciones diferentes realizadas en las mismas condiciones.
- **Exactitud:** es la capacidad de un instrumento de medir un valor cercano al valor de la magnitud real.
- **Apreciación:** es la medida más pequeña perceptible en un instrumento de medida.
- **Sensibilidad:** es la relación de desplazamiento entre el indicador de la medida y la medida real.

### **2.2.6 Lógica Binaria**

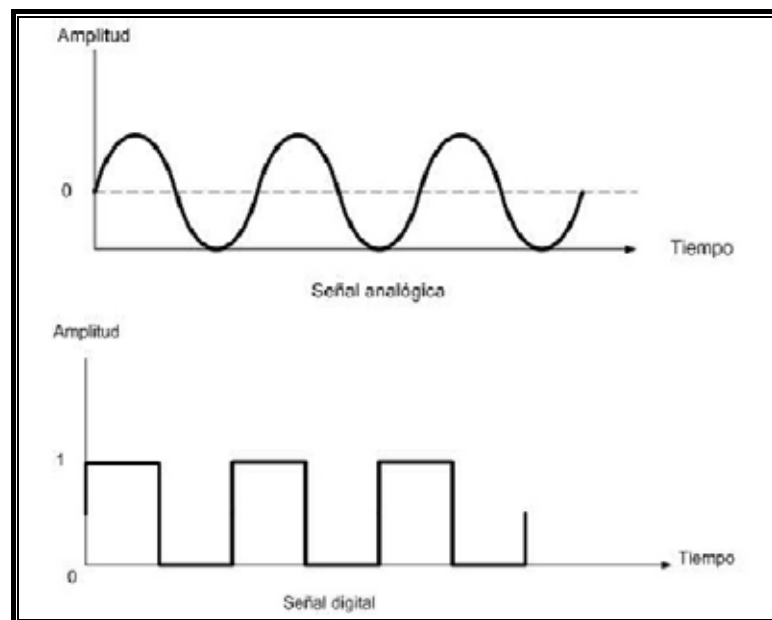
La lógica digital es la que trabaja con variables binarias y operaciones lógicas del álgebra de Boole. Entonces, dichas variables solo pueden tener dos valores posibles: 1 (equivalente a verdadero) o 0 (equivalente a falso). Estos valores numéricos no corresponden en sí a un valor real, sino a un valor discreto. Los circuitos digitales operan normalmente en valores de tensión continua, cinco voltios (TTL) o en el intervalo de cuatro a doce voltios (CMOS). Está estandarizado que un estado lógico de 0 se representa con una tensión baja (idealmente corresponde a cero voltios) mientras que el 1 es representado con un nivel de tensión muy cercano al voltaje con el que se alimenta el circuito. Mediante la combinación de estos valores, es posible generar una serie de datos convertible a cualquier código utilizando la normativa aplicable en cada caso.

### 2.2.7 Señales analógicas.

Son variables que evolucionan en el tiempo en forma análoga a alguna variable física. Estas variables pueden presentarse en la forma de una corriente, una tensión o una carga eléctrica u otras magnitudes físicas. Varían en forma continua entre un límite inferior y un límite superior. (Ver figura 1).

### 2.2.8 Señales digitales.

Son variables con dos niveles bien diferenciados que se alternan en el tiempo o espacio transmitiendo información según un código previamente acordado. Cada nivel eléctrico representa uno de dos símbolos: 0 ó 1, V ó F, etc. Los niveles específicos dependen del tipo de dispositivo utilizado. Ya que, las señales digitales tienen la particularidad de tener sólo dos estados, permiten representar, transmitir o almacenar información binaria. A su vez, ésta condición les otorga el atributo de poseer una gran inmunidad al ruido eléctrico, por tanto, son frecuentemente utilizadas en la transmisión de datos e información. (Ver figura 1).



**Figura 1.** Señal analógica y señal digital.

Fuente: [http://2.bp.blogspot.com/-IR9ldnnEARl/UCshx\\_9yjaI/AAAAAAAAAY/NbrDGjGMopc/s1600/ana.jpg](http://2.bp.blogspot.com/-IR9ldnnEARl/UCshx_9yjaI/AAAAAAAAAY/NbrDGjGMopc/s1600/ana.jpg).

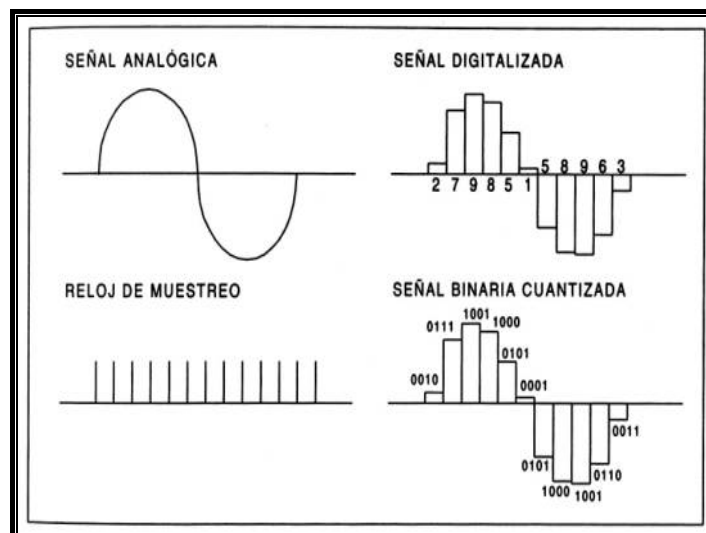
### 2.2.9 Digitalización de señales.

Es el proceso de transcripción de señales analógicas a señales digitales, (ver figura 2) con el propósito de facilitar su procesamiento (codificación, compresión, etc.) y hacer la señal resultante más inmune al ruido y otras interferencias a las que son más sensibles las señales analógicas. Este proceso consta de cuatro (4) etapas:

- **Muestreo:** consiste en tomar muestras periódicas de la amplitud de la señal analógica. Debe tener las siguientes características:
  - El intervalo entre muestras debe ser constante.
  - El ritmo de este muestreo, llamado frecuencia o tasa de muestreo determina el número de muestras que se toma en un intervalo de tiempo.
- **Retención:** en esta etapa se toman las muestras y son retenidas (retención) por un circuito de retención (hold) el tiempo suficiente, para permitir evaluar su nivel (cuantificación).
- **Cuantificación:** se basa en la conversión de una sucesión de muestras de amplitud continua en una sucesión de valores discretos preestablecidos según el código utilizado. Durante el proceso de cuantificación se mide el nivel de voltaje de cada una de las muestras, obtenidas en el proceso de muestreo, y se les atribuye a un valor finito (discreto) de amplitud, seleccionado por aproximación dentro de un margen de niveles previamente fijado. Los valores preestablecidos para ajustar la cuantificación se eligen en función de la propia resolución que utilice el código empleado durante la codificación. Si el nivel obtenido no coincide exactamente con ninguno, se toma como valor el inferior más próximo, en estos casos, se añade como resultado una señal indeseada a la señal de entrada: el ruido de cuantificación.
- **Codificación:** es el último de los procesos que tiene lugar durante la conversión Analógico-Digital. La codificación consiste en la traducción de los valores de tensión eléctrica analógicos que ya han sido cuantificados, al sistema binario, mediante códigos ya definidos. En una conversión serial, la

señal analógica va a quedar transformada en un tren de impulsos digital (sucesión de ceros y unos). El códec es el código específico que se utiliza para la codificación/decodificación de los datos. Y dentro de este aspecto de la codificación el códec tiene más características:

- **Frecuencia de muestreo:** cuanto mayor sea la frecuencia de muestreo, mayor será la fidelidad de la señal obtenida respecto a la señal original. (La frecuencia de muestreo debe al menos ser igual al doble del ancho de banda de las señales a muestrear ya que una frecuencia menor se perdería información de la misma).
- **Resolución** (Número de bits): determina la precisión con la que se reproduce la señal original. Se suelen utilizar 8, 10, 16 o 24 bits por muestra. Para mayor precisión se requiere mayor número de bits.
- **Bit rate:** es la velocidad o tasa de transferencia de datos. Su unidad es el bit por segundo (bps).
- **Pérdida:** algunos códecs al hacer la compresión eliminan cierta cantidad de información, por lo que la señal resultante, no es igual a la original.



**Figura 2.** Digitalización de una señal analógica.

Fuente: [http://acusticaysonido.com/wp-content/uploads/2011/05/audio\\_digital\\_2.jpg](http://acusticaysonido.com/wp-content/uploads/2011/05/audio_digital_2.jpg).

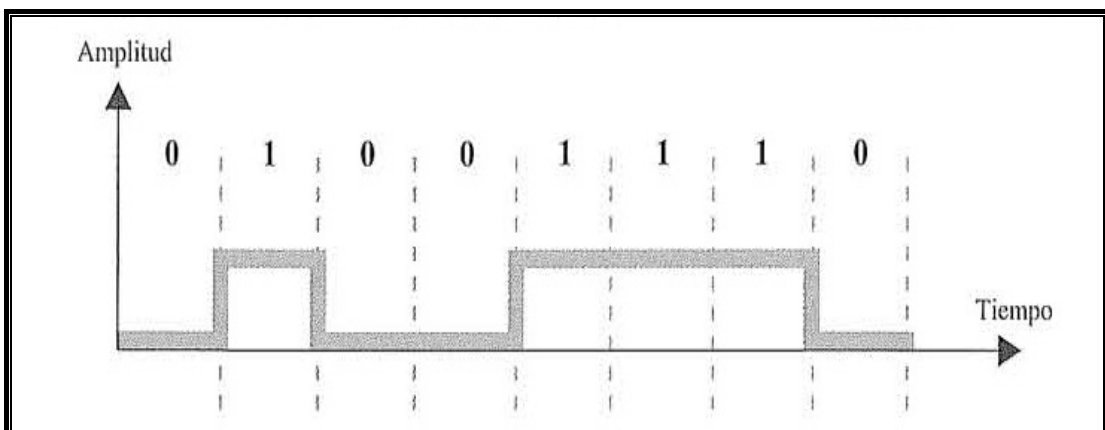
### 2.2.10 Códigos de línea.

Para optimizar una transmisión de datos, la señal debe ser codificada de manera de facilitar su emisión en un medio físico. Existen varios sistemas de codificación para este propósito, los cuales se pueden dividir en dos categorías:

- **Codificación de dos niveles:** En este tipo de codificación, la señal sólo puede tomar un valor estrictamente negativo o estrictamente positivo ( $-X$  ó  $+X$ , donde  $X$  representa el valor de la cantidad física utilizada para transportar la señal).
- **Codificación de tres niveles:** la señal sólo puede tomar un valor estrictamente negativo, nulo o estrictamente positivo ( $-X$ ,  $0$  ó  $+X$ ).

#### 2.2.10.1 Codificación Unipolar.

La codificación es sencilla y primitiva, el sistema de transmisión funciona enviando pulsos de tensión por el medio físico, hay dos niveles de tensión; uno de ellos para el 0 binario y otro nivel para el 1 binario, por lo tanto, la codificación es de dos niveles. La polaridad del impulso indica si es positivo o negativo. Se denomina unipolar, porque usa únicamente una polaridad, la cual se asigna a uno de los estados binarios. La figura 3 representa esta codificación, los 1 se codifican con valor positivo y los 0 con valor cero.



**Figura 3.** Codificación Unipolar.

Fuente: <https://sites.google.com/site/sistemasdemultiplexado/arquitecturas-de-las-redes-de-comunicación-características/codificación-y-modulación>.

Sin embargo la codificación unipolar tiene, al menos, dos problemas que la hacen poco deseable: una componente de corriente continua DC y la sincronización.

La amplitud media de una señal con codificación unipolar no es cero, eso crea una componente de corriente continua (señal de frecuencia cero). Cuando una señal contiene una componente continua, no puede viajar a través de medios que no pueden gestionar este tipo de componentes. Además cuando una señal no varía, el receptor no puede determinar el principio y el final de cada bit, por tanto la codificación unipolar puede tener problemas de sincronización siempre que el flujo de datos contenga una larga serie ininterrumpida de ceros o unos.

#### **2.2.10.2 Codificación Polar.**

La codificación polar usa dos niveles de tensión, uno positivo y otro negativo, gracias al uso de dos niveles, en la mayoría de los métodos de codificación polar se reduce el nivel de tensión medio de la línea y se alivia el problema de la componente DC existente en la codificación unipolar, en incluso anulándola completamente.

De las muchas variantes existentes, las más populares son:

- Codificación polar sin Retorno a Cero (NRZ).
- Codificación polar con retorno a cero (RZ).
- Codificación polar bifásica.

#### **2.2.10.3 Codificación bipolar.**

La Codificación bipolar usa tres niveles de tensión: positivo, nulo y negativo. El nivel tensión nulo o cero, se usa para representar el bit 0. El bit 1 se representa alternando los niveles positivos y negativos, de forma que si el primer 1 se indica con tensión positiva, el segundo 1 tendrá tensión negativa, y el tercero volvería a tener tensión positiva.

#### **2.2.11 Oscilador controlado por voltaje (VCO).**

Un Oscilador controlado por tensión es un dispositivo electrónico que usa amplificación, realimentación y circuitos resonantes y que da a su salida una señal

eléctrica de frecuencia proporcional a la tensión de entrada. Típicamente esa salida es una señal sinusoidal, aunque en osciladores digitales es una señal cuadrada.

Cuando la entrada es 0V, el VCO tiene una señal con una frecuencia llamada frecuencia libre de oscilación y ante variaciones de la entrada, sube o baja la frecuencia de su salida de forma proporcional.

Una aplicación típica de los VCO es generar señales moduladas en frecuencia (FM). También son usados como parte de bucles de enganche de fase. Suelen emplearse en aplicaciones electrónicas de comunicaciones.

#### **2.2.12 Bucles de enganche de fase (PLL).**

Es un dispositivo electrónico de amplia aplicación en sistemas de comunicación. Básicamente consiste en un sistema de lazo cerrado capaz de sincronizar la fase de un oscilador controlado por voltaje (VCO), con la fase de una señal de entrada. Entre las aplicaciones más conocidas en comunicaciones se pueden mencionar las siguientes:

- Recuperación de portadora en AM y demodulación de FM
- Sincronización de frecuencia
- Multiplicación y división de frecuencia
- Restauración o acondicionamiento de señales.

Por su gran versatilidad es común encontrar al PLL formando parte de sistemas tales como:

- Módems.
- Decodificadores de tono.
- Receptores de FM, SCA.
- Sincronizador de datos.

#### **2.2.13 Transmisión de datos digitales.**

Los sistemas de transmisión digital requieren de un elemento físico, entre el transmisor y el receptor, como un par de cables metálicos, un cable coaxial, o un cable de fibra óptica. La transmisión digital, por tanto, consiste en el envío de

información a través de medios de comunicaciones físicos en forma de señales digitales. Esto implica que las señales analógicas deben ser digitalizadas antes de ser transmitidas, proceso que implica varias etapas y que fue expuesto anteriormente.

#### **2.2.14 Modulación.**

Según la American National Standard for Telecommunications (ANST), “la modulación es el proceso, o el resultado del proceso, de variar una característica de una portadora de acuerdo con una señal que transporta información. Básicamente, la modulación consiste en hacer que un parámetro de la onda portadora cambie de valor de acuerdo con las variaciones de la señal moduladora, que es la información que se quiere transmitir”.

La modulación engloba el conjunto de técnicas que se usan para transportar información sobre una onda portadora, típicamente una onda sinusoidal. Estas técnicas permiten un mejor aprovechamiento del canal de comunicación lo que posibilita transmitir más información en forma simultánea además de mejorar la resistencia contra posibles ruidos e interferencias.

#### **2.2.15 Modulación digital.**

La diferencia entre un sistema de transmisión digital de un sistema de transmisión analógica es que las señales de modulación y demodulación son pulsos digitales, en lugar de formas de ondas analógicas. En la transmisión digital se utilizan portadoras analógicas, al igual que los sistemas convencionales. En esencia, hay tres técnicas de modulación digital que se suelen utilizar en sistemas de transmisión digital: transmisión (modulación) por desplazamiento de frecuencia (FSK), transmisión por desplazamiento de fase (PSK), y modulación de amplitud en cuadratura (QAM).

#### **2.2.16 Modulación por desplazamiento de frecuencia (FSK).**

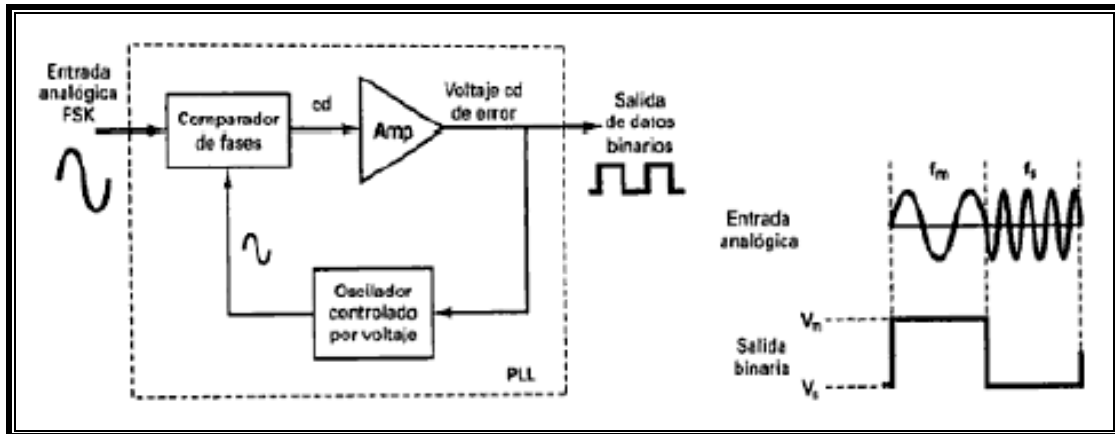
Es un tipo relativamente sencillo y de baja eficiencia de modulación digital. La FSK binaria es una forma de modulación de ángulo, de amplitud constante, parecido a la modulación convencional de frecuencia (FM), pero la señal moduladora es una señal binaria que varía entre dos valores discretos de voltaje, y no es una forma

de onda analógica que cambie continuamente. La ecuación general de la FSK binaria es:

$V_{fsk}(t)$  = Forma de onda binaria FSK

$V_c$  = Amplitud de la portadora (volts)

$f_c$  = Frecuencia central de la portadora (hertz)



**Figura 5.** Digrama a bloques de un demodulador FSK.

Fuente: <https://www.electronicafacil.net/tutoriales/MODULACION-DIGITAL-FSK-PSK-QAM.php>

Un demodulador **PLL-FSK** funciona en forma parecida a un demodulador PLL-FM. Cuando la entrada al PLL se desliza entre las frecuencias de marca y la de espacio, el voltaje de error de CD en la salida del comparador de fases sigue el corrimiento de frecuencias. Como solo hay dos frecuencias de entrada, la marca y la de espacio, también solo hay dos voltajes de error de salida. Uno representa un 1 lógico, y el otro a un 0 lógico, así, la salida es una representación en dos niveles (binaria) de la entrada FSK. En general, la frecuencia natural del PLL se iguala a la frecuencia central del modulador FSK. En consecuencia, los cambios en el voltaje de CD de error siguen a los cambios de la frecuencia analógica de entrada y son simétricos respecto a 0V.

### 2.3. Bases legales.

Según Villafranca D. (2002) “Las bases legales no son mas que leyes que sustentan de forma legal el desarrollo del proyecto”, explica que las bases legales “son leyes, reglamentos y normas necesarias en algunas investigaciones cuyo tema así lo amerite”. En este sentido, se exponen a continuación leyes, normas y reglamentos que intervienen en esta investigación.

### **2.3.1 COVENIN.**

COVENIN corresponde al acrónimo de la Comisión Venezolana de Normas Industriales, como se conoció desde 1958 hasta 2004, el ente es encargado de velar por la estandarización y normalización bajo lineamientos de calidad en Venezuela.

COVENIN estableció los requisitos mínimos para la elaboración de procedimientos, materiales, productos, actividades y demás aspectos que estas normas rigen. En esta comisión participaron entes gubernamentales y no gubernamentales especialistas en un área.

#### **2.3.1.1 Normas aplicadas de COVENIN.**

- COVENIN 3699:2001 Campos de aplicación de los instrumentos de medición sujetos a verificación.
- COVENIN 3695: 2001 Evaluación de Modelo y Aprobación de Modelo.
- COVENIN 2552:1999 Vocabulario Internacional de Términos Básicos y Generales de Metrología.

### **2.3.2 Ley Orgánica de telecomunicaciones.**

La Ley Orgánica de Telecomunicaciones, creada en el año 200?, se encarga de establecer los parámetros, normativas y reglas para el ejercicio de las telecomunicaciones en el país. A través de esta ley, se le otorga a CONATEL (Comisión Nacional de Telecomunicaciones) la facultad de supervisar y sancionar a empresas e instituciones que hagan uso del espectro radioeléctrico para la difusión y transmisión de información.

#### **2.3.2.1 Artículos aplicados de la Ley Orgánica de Telecomunicaciones.**

**Art 4.** Se entiende por telecomunicaciones toda transmisión, emisión o recepción de signos, señales, escritos, imágenes, sonidos o informaciones de cualquier naturaleza, por hilo, radioelectricidad, medios ópticos u otros medios electromagnéticos afines inventados o por inventarse. Los reglamentos que desarrollen esta ley podrán conocer de manera específica otros medios o modalidades

que pudieran surgir en el ámbito de las telecomunicaciones y que se encuadren en los parámetros de esta ley.

**Art 8.** Los servicios de Telecomunicaciones para la seguridad y defensa nacional quedan reservados al Estado. La calificación de un servicio como de seguridad y defensa la hará el presidente o presidenta de la Republica, en consejo con ministros, oída la opinión del Consejo de Defensa de la Nación, de conformidad con la ley.

#### **2.4 Definición de Términos básicos**

- **Alta Mar:** Situación en el mar, lejos de la c Costa
- **Arrumaje:** Buena distribución de la carga o lastre
- **Astillero:** Lugar donde se construyen y reparan embarcaciones
- **Avante:** Delante. Tomar o tener arrancada el buque en el sentido natural de la marcha. Avante poca, media, toda, órdenes a las máquinas para dar un número determinado de revoluciones la hélice en el sentido de hacer marchar el buque hacia delante.\* Virar por avante Orzar hasta ponerse al viento y caer luego a la otra banda
- **Avería:** Daño que recibe la embarcación en cualquiera de sus partes.
- **Azimut:** Arco de horizonte contado de 0° a 360° a partir del Norte y en el sentido de las agujas de un reloj, hasta el vertical que pasa por el astro.
- **Babor:** Banda o costado izquierdo del buque mirando de popa a proa. Luz roja.
- **Barómetro:** Instrumento para medir la presión atmosférica.
- **Baudios:** Unidad de medida que se usa para determinar las velocidades de transmisión de bits.
- **Bit Rate:** tasa de bits o datos que son procesados por unidad de tiempo.
- **Borda:** Canto superior del costado de un buque. Parte comprendida entre la cubierta y la regala. (por encima de la obra muerta)

- **Buque:** barco o embarcación, nombre que se da a todo vaso flotante que sirve para surcar las aguas.
- **Cabecear:** Movimiento del buque en la dirección proa-popa, subiendo y bajando alternativamente cada una de estas extremidades, distinguiéndose la cabeceada o sea cuando mete la proa, de la arfada, que es cuando la levanta.
- **Cala:** Parte más baja del interior de un buque. Ensenada pequeña y angosta.
- **Carta náutica:** Mapa destinado a la navegación, que representa la cuenca de un mar o un océano, con indicación de todos los detalles útiles al navegante.
- **Casco:** Cuerpo del buque, sin máquinas, arboladura y pertrechos, o sea en rosca.
- **Ciar:** Bogar al revés, lo que se traduce en un impulso de la embarcación hacia atrás. En un buque de propulsión mecánica invertir el giro normal de las hélices con el fin de que cobre arrancada hacia atrás o detener lo que pudiera llevar adelante.
- **Compás:** Aguja náutica en su primera acepción. Brújula de gobierno del buque.
- **Corriente:** Movimiento de las aguas del mar en una dirección determinada.
- **Cuadra:** anchura del buque en la cuarta parte de su eslora, contada desde proa o desde popa.
- **Cuadrante:** cuarta parte de círculo. \* Cada una de las cuatro partes en que se divide la rosa de los vientos que toman el nombre del 1º, 2º, 3º y 4º a contar desde el norte por el este.
- **Curso:** dirección o trayectoria de un buque.
- **Declinación:** diferencia entre el norte verdadero y el norte magnético en un punto determinado y sin que medie ninguna fuerza más. El ángulo entre los meridianos verdaderos y los magnéticos.
- **Declinación magnética:** ángulo comprendido entre el meridiano geográfico y el meridiano magnético del lugar.

- **Dique:** muro construido para contener las aguas. \* Dique seco Recinto estanco que se llena de agua por la abertura que cierra una compuerta, por donde entran navegando los barcos que quedan en seco por el desagote del agua del dique. \* Dique flotante Es una construcción que altera en forma considerable su línea de flotación, levantando los barcos para carenarlos o repararlos.
- **Ecosonda:** sonda electrónica, basada en la reflexión de ondas sonoras en el fondo.
- **Escora:** puntal que se fija contra el costado, cintas y fondos de un buque en grada o en dique, para mantenerlo adrizado durante su construcción o carena. Inclina el buque a una u otra banda.
- **Escorar:** inclinarse o tumbarse el buque hacia una banda.
- **Eslora:** longitud del barco tomada del extremo de la roda al extremo del codaste. \* Eslora entre perpendiculares La medida del extremo anterior de la roda al extremo posterior del codaste. \* Eslora en flotación La medida en los extremos de la línea de flotación.
- **Estribor:** banda o costado derecho de un buque mirando de popa a proa. Luz verde
- **Girocompás:** brújula no magnética, cuya constancia direccional está basada en el principio del giróscopo.
- **Hidrófono:** aparato que recoge los sonidos submarinos, permitiendo determinar su marcación.
- **Lastre:** material pesado que se suspende de la quilla o en el fondo de la sentina para dar estabilidad al barco.
- **Línea de crujía:** línea imaginaria que pasa por el centro del barco y divide al buque en dos mitades o bandas.

- **Modem:** Dispositivo que convierte señales digitales en analógicas, o viceversa, para poder ser transmitidas a través de líneas de teléfono, cables coaxiales, fibras ópticas y microondas.
- **Perdida:** Carencia, privación de lo que se poseía.
- **Probabilidad:** En un proceso aleatorio, razón entre el número de casos favorables y el número de casos posibles.
- **Protocolo:** Conjunto de reglas que se establecen en el proceso de comunicación entre dos sistemas.
- **Resolución:** Distinción o separación mayor o menor que puede apreciarse entre dos sucesos u objetos próximos en el espacio o en el tiempo.

## **CAPÍTULO III**

### **MARCO METODOLÓGICO**

#### **3.1 Tipo de Investigación.**

La naturaleza propia del proyecto, hace que la investigación entre en la clasificación de proyecto factible, puesto que se desarrollará un plan de trabajo para la construcción de un banco de pruebas para los torpedos SST-4 de la Armada de Venezuela, con fin de solventar los inconvenientes que presentan los equipos actuales. Basado en lo anteriormente descrito Mijares y García (2007) definen como proyecto factible a:

“... la investigación elaboración y desarrollo de una propuesta de un modelo operativo viable para solucionar problemas, requerimientos o necesidades de organización o grupos sociales; puede referirse a la formulación de políticas, programas tecnologías, métodos o procesos. El proyecto factible debe tener apoyo en una investigación de tipo documental, de campo o un diseño que incluya ambas modalidades...” (p5).

#### **3.2 Diseño de Investigación**

El diseño de la investigación es el conjunto de directrices que toma el investigador con el fin de observar, analizar y plantear una solución de ser posible a la problemática objeto de la investigación. Según Palella y Martins (2010) definen como investigación de campo a:

“La Investigación de campo consiste en la recolección de datos directamente de la realidad donde ocurren los hechos, sin manipular o controlar las variables. Estudia los fenómenos sociales en su ambiente natural. El investigador no manipula variables debido a que esto hace perder el ambiente de naturalidad en el cual se manifiesta....” (pag.88).

Debido a que en este trabajo se precisa que el investigador recolecte los datos directamente en el taller de torpedos SST-4 de la Armada de Venezuela, para así garantizar el contacto con los componentes y realidades del mismo, la investigación encaja en el concepto anteriormente expuesto de investigación de campo.

### **3.3 Nivel de investigación**

El nivel de investigación se refiere según Arias:(2012) “al grado de profundidad con que se aborda un objeto o fenómeno” (p.47). Así pues, el nivel de investigación establece hasta qué punto se llevará a cabo el estudio del tema o problema planteado. Tomando en cuenta el tipo de investigación, se conocerá el nivel en el cual se basa todo el estudio. También el nivel permite saber qué factores tienen que intervenir para el desarrollo de toda la investigación.

Tomando en cuenta lo anteriormente expuesto, el nivel de investigación que se emplea es proyectivo definido por Hurtado de B. (2000), como:

“es el que intenta proponer soluciones a una situación determinada. Implica explorar, describir, explicar y proponer alternativas de cambio y no necesariamente ejecutar la propuesta” (p.343).

Lo mencionado por Hurtado, se aplica a todas las investigaciones que conllevan a diseños dirigidos a cubrir necesidades y que están basados en conocimientos anteriores.

### **3.4 Fases de la investigación**

**Fase I:”Estudiar los bancos de pruebas para los torpedos SST – 4 que posee actualmente la Armada Venezolana. “**

Con esta fase de la investigación se consiguió profundizar el conocimiento sobre el funcionamiento del banco de pruebas actual que posee la armada venezolana, así como sus características más fundamentales como lo pueden ser, consumo de energía, exactitud, precisión, repetitividad, dimensiones, disposición de los controles, entre otras. Para esto se hizo uso de las herramientas de recolección de datos como lo son la revisión documental y la entrevista con los operarios. Finalizada esta fase, los

investigadores obtuvieron un concepto básico sobre el banco de pruebas actual, discriminando características que no sean esenciales para su funcionamiento.

**Fase II: “Identificar las posibles mejoras que se puedan realizar a los bancos de prueba para los torpedos SST – 4 actuales.”**

En esta fase se estudió a profundidad el diseño del banco de pruebas actual a través de la revisión documental de los planos de eléctricos del banco de prueba actual para la identificar posibles mejores que se pueden aplicar en el nuevo diseño. No obstante se debe garantizar que no se pierda la fiabilidad y las características fundamentales del banco de pruebas actual. Para este fin los investigadores deben valerse de herramientas de dispositivos de observación técnicamente asistida como lo son el osciloscopio y el multímetro digital para poder estudiar el tratado de la señal en los sistemas del banco de prueba actual.

**Fase III:” Establecer un sistema de comunicación, control, adquisición y envío de datos.”**

En la fase Final del proyecto se generó el diseño del banco de prueba para los torpedos SST-4, utilizando las herramientas de software de simulación para así poder comparar el tratamiento de las distintas señales eléctricas con los parámetros deseados que fueron establecidos en la fase II de esta investigación, posteriormente se debe proceder a seleccionar los componentes a remplazar (si estos no comprometen la fiabilidad de la medición y optimizan el proceso), de los catálogos de fabricantes comerciales de componentes eléctricos. Además de generar toda la documentación necesaria para la implementación del proyecto por parte de la empresa (Planos eléctricos, Planos de emplazamiento, entre otros documentos de interés).

**3.6 Técnicas e Instrumentos de investigación.**

Los instrumentos de investigación son parte fundamental de la misma ya que son los medios por los cuales el investigador puede recolectar datos sobre la problemática en la que está trabajando. Teniendo esto en cuenta, Sabino (1992) lo define como:

“Un instrumento de recolección de datos es en principio cualquier recurso de que pueda valerse el investigador para acercarse a los fenómenos y extraer de ellos información. De este modo el instrumento sintetiza en sí toda la labor previa de la investigación, resume los aportes del marco teórico al seleccionar datos que corresponden a los indicadores y, por lo tanto a las variables o conceptos utilizados” (P. 149,150).

Y por técnica se va a anotar la definición que da el diccionario de metodología anteriormente citado, el cual establece que las técnicas de investigación son: “Conjunto de mecanismos, medios y sistemas de dirigir, recolectar, conservar, reelaborar y transmitir los datos sobre estos conceptos” (p.150).

### **3.6.1 Técnicas empleadas.**

#### **3.6.1.1 Revisión Documental.**

La revisión documental es hacer una recopilación de información sobre textos e investigaciones generados por otros investigadores que tienen relación directa o indirecta con la problemática que es razón de estudio. Hurtado (2008) define este concepto como:

“... es una técnica en la cual se recurre a información escrita, ya sea bajo la toma de datos que pueden haber sido producto de mediciones hechas por otros como texto en sí mismo constituyen los eventos de estudio.”(p.427).

Durante esta investigación, se revisó manuales dados por el fabricante además de planos eléctricos de los equipos que poseen actualmente el taller de torpedos de la Armada de Venezuela.

#### **3.6.1.2 Observación Directa**

La observación directa es el proceso en el cual el investigador recolecta datos directamente desde el medio ambiente del fenómeno a estudiar, por otro lado Hurtado (2008) la define como: "... un proceso de atención, recopilación, selección y registro de información para el cual el investigador se apoya en sus sentidos.”(p.459).

### **3.6.1.3 Entrevista**

Es una técnica para obtener datos que consisten en un diálogo entre dos personas: El entrevistador "investigador" y el entrevistado; se realiza con el fin de obtener información de parte de este, que es, por lo general, una persona entendida en la materia de la investigación. Para Sabino (1992) una entrevista es:

“...desde el punto de vista del método es una forma específica de interacción social que tiene por objeto recolectar datos para una investigación. El investigador formula preguntas a las personas de aportarle datos de interés, estableciendo un diálogo peculiar, asimétrico donde una de las partes busca recoger información y la otra es la fuente. Por esas razones obvias solo se emplea, salvo raras excepciones en las ciencias humanas. La ventaja esencial de la entrevista reside en que son los mismos actores sociales quienes proporcionan los datos relativos a conductas, opiniones, deseos, actitudes y expectativas...” (p.116).

### **3.6.2 Instrumentos Empleados**

#### **3.6.2.1 Instrumento de registro**

Permite poseer un soporte de la información en periodos de tiempo relativamente largos de modo que el investigador pueda recuperar la información cuando lo necesite.

#### **3.6.2.2 Instrumento de observación técnicamente asistida**

Principalmente se contara con el empleo de algún dispositivo de medición de variables físicas de interés presentes en la realización de todas las experiencias que tenga el investigador con el fenómeno a estudiar.

## **CAPÍTULO IV**

### **RESULTADOS**

#### **4.1 Fase I: “Estudiar los bancos de pruebas para los torpedos SST – 4 que posee actualmente la Armada Venezolana.”**

##### **4.1.1 Entrevista con los expertos del banco de pruebas.**

Con el fin de hacer un estudio sobre las necesidades de la Armada que deben ser cubiertas por el diseño de un nuevo banco de pruebas para los torpedos SST – 4 se ha decidido hacer una entrevista abierta con el CN. Wilmer Mendoza Estraño, ingeniero en electrónica y comunicaciones director del taller de torpedos SST – 4 de la Armada Venezolana, la cual se transcribe a continuación:

- ¿Desde cuándo están en servicios los torpedos SST-4?

“Fueron adquiridos junto con los submarinos U-209 en la república federal de Alemania en 1976 que entran en servicio comisionados a la Armada de Venezuela. Desde entonces prestan servicio a bordo de estos submarinos.”

- ¿Existe algún banco de pruebas de los torpedos SST-4, en ese caso, cómo funcionan?

“Sí, evidentemente el banco que se está proponiendo en esta tesis es una... no una sustitución pero si un apoyo o una llamémoslo así como un “back up” o un respaldo del que tenemos actualmente. El que tenemos actualmente es el que originalmente viene con el equipo, tiene el inconveniente de que es un equipo propio de taller y presenta grandes dimensiones y que es de una tecnología que aunque esta funcional es vieja, sin embargo la idea es con los nuevos retos que enfrenta el país, los nuevos frentes posible de combate, donde hay guerras asimétricas, nosotros debemos darle movilidad al taller y en este caso no es posible con el equipo que se cuenta actualmente. Y en este caso deberíamos fabricar este que es portátil y que podríamos llevar fácilmente a cualquier punto de la geografía nacional”

- ¿Existe un protocolo de pruebas para verificar la operatividad de los torpedos SST-4?

“Si, el fabricante desde la entrega de los torpedos SST-4 en el año 76 especifica una serie de pruebas que deben hacerse con el banco de comprobación final que en este caso es el que nosotros tratamos de anular con otra serie de bancos que hacen pruebas específicas a cada una de las secciones, esto va enmarcado en una serie de protocolos los cuales deben seguirse estrictamente paso a paso y verificar que cada una de las respuestas corresponda a las que protocolo específica”

- ¿Qué instrumentos posee actualmente la Armada Venezolana para medir la operatividad de los torpedos SST-4?

“Los bancos de pruebas que fueron suministrados por el fabricante en el año 76, todos estos equipos se mantienen totalmente operativos.”

- ¿La Armada Venezolana tiene personal dedicado para la reparación de estos torpedos, si es así cuantos son aproximadamente?

“Se cuenta con el taller de torpedo. En el mismo, dedicado y exclusivamente a la reparación de estos, el número de personas no es un número manejable al público pero son más de cinco personas”

- En su experiencia, ¿qué tan confiables son estos equipos?

“Cien por ciento, de hecho son equipos que cuentan con más de 30 años de vida y aún están operativos; son equipos confiables y que cumplen la función para la cual fueron diseñados”

- ¿Por qué se deberían mantener en servicio los torpedos SST-4?

“Hasta la fecha es un torpedo que nos ha proporcionado bastante confiabilidad además está incluido en el sistema de armas de los submarinos U-209, además que el personal de la armada está entrenado en este tipo de arma”

- ¿Considera usted que en la actualidad hay suficiente documentación para el estudio del torpedo SST-4?

“Si, por supuesto todos los manuales que fueron suministrados por la empresa a la armada venezolana se mantienen y cuentan inclusive con los planos de las tarjetas. El apoyo que se tiene con esta documentación es bastante bueno.”

- ¿Cómo es la capacitación de este personal?

“El personal son ingenieros que son egresados de las escuelas de formación de la armada y que hacen carrera sobretodo en el área de submarinos. Este personal es seleccionado y entrenado en el comportamiento específico del torpedo y la circuitería del mismo. Se cuenta con programas de capacitación desde el área de vista técnica, es decir desde especialidades como y otras que se da desde el punto de vista del torpedo en sí.”

- ¿Qué fortalezas y debilidades detecta usted en la capacitación del personal?

“Entre las debilidades, podemos destacar que, el personal debe tener una especialidad muy determinada, en este caso electrónica y la cantidad de personas que se forman en esta especialidad debe distribuirse en toda la armada, por lo tanto es un tanto difícil conseguir estas personas y precisamente la principal fortaleza es que al ser especialistas, darán fruto en el área donde son seleccionadas.”

- ¿Considera Ud. necesario hacer cambios o implementar un nuevo programa de capacitación?

“No, dentro de lo que tenemos satisface nuestras necesidades. Sin embargo existen convenios con universidades como la UNEFA para efectuar capacitaciones especiales del personal profesional.”

- ¿Qué criterios son utilizados para determinar que un torpedo SST-4 está operativo?

“Se hace el seguimiento de todos los protocolos de prueba que fueron diseñados por el fabricante y cualquiera de los parámetros del protocolo que no se cumpla indica que el torpedo tiene una falla. Estando a bordo los torpedos se realizan chequeos que se denominan chequeos de pre-lanzamientos, los cuales permiten hacer una comprobación somera del comportamiento del torpedo y si arroja fallas durante este procedimiento, el mismo es desembarcado y enviado al taller de torpedo.”

- ¿Qué inconvenientes detecta usted en los instrumentos actuales para medir la operatividad de los torpedos SST-4?

“Es la movilidad, el concepto de que el taller sea un tanto móvil, es un inconveniente en los equipos actuales y este sentido es el que estamos tratando de desarrollar en este dispositivo.”

○ ¿De los inconvenientes que Ud. ha mencionado, cree que alguno o todos pueden ser solucionados sin rediseñar el sistema?

“La idea es tenerlo como respaldo en caso de que el equipo falle, por tanto, es necesario hacer un rediseño”

○ ¿Cuánto es el lapso promedio de tiempo que transcurre entre la detección de la falla del torpedo hasta su corrección?

“Va a depender del tipo de falla, normalmente hay un periodo de uno a dos días que es en el desembarque del torpedo, el traslado, el desarme y proceder a buscar la falla para corregirle, normalmente se hace sustituyendo la tarjeta y con calma se repara la tarjeta. Es de destacar que los torpedos tienen periodos de mantenimiento independientemente de que alguno falle o no.”

○ ¿Cree Ud. que haya alguna causa en el retraso en el mantenimiento debido a los instrumentos utilizados actualmente?

“No, hasta ahora no es un inconveniente”

○ ¿Por qué se debería diseñar un nuevo banco de pruebas SST-4?

La idea es principalmente la flexibilización de los mantenimientos que permita hacer móvil el taller

○ ¿Qué factores son críticos para la Armada Venezolana que deba conservar el nuevo diseño?

“Los protocolos de comunicación que él deba suministrar, los TC y las alimentaciones”

○ ¿Considera usted justificable que la Armada Venezolana invierta en un nuevo diseño para el banco de pruebas actuales?

“Claro, se justifica. Porqué se ve en la necesidad en tener un respaldo que garantice la reparación de los torpedos, y por otra parte ir al sitio donde está el sub sin necesidad de moverlo al puerto base. El cual sería un blanco común en situación de conflicto”

○ ¿Considera usted que el protocolo de pruebas de los torpedos SST-4 se adapta a las necesidades de la Armada Venezolana?

“Si, en todo caso lo que hemos hecho es actualizar los equipos de medición recomendados por la empresa por otros equipos más modernos como osciloscopios”

- ¿Qué cambios implementaría usted en el protocolo de pruebas de los torpedos SST-4? justifique los mismos

“No se puede efectuar ningún cambio, porque están diseñados o mejor dicho para que el sistema de control de tiro interprete el TC y alguna modificación y hacer algún cambio sería necesario modificar este sistema que se encuentra en el torpedo.”

- ¿Existe un proceso de calibración para los bancos de pruebas actuales?, si es así, describa.

“Si, existen muchos bancos de prueba que necesitan calibraciones con señales patrón, como por ejemplo los simuladores de profundidad que son manómetros que necesitan ser calibrados (...) igualmente existen protocolos de prueba del banco de comprobación para que las lecturas que hagan estén dentro de los parámetros, puesto que de nada nos sirve calibrar los torpedos SST – 4 si dicho instrumento no es correcto. Si a lo mejor calibramos a 32 pies y resulta que lo que nosotros tomamos como 32 pies no lo son porque el patrón es incorrecto, pues entonces si se le ordenase atacar a un buque cuyo calado es de 12 pies existe la posibilidad de que falle y jamás haga contacto.”

#### **4.1.1.1 Conclusiones sobre la entrevista con los expertos**

Después de haber aplicado la entrevista con el **CN. Wilmer Mendoza Estraña**, los investigadores llegaron a las conclusiones de que los lineamientos del diseño de un nuevo banco de pruebas del torpedo SST – 4 son:

- Debe mantener con los protocolos de comunicación y el protocolo del telegrama de comando.
- Los componentes electrónicos del nuevo banco de prueba, deben ser de fácil remplazo/implementación.
- Las dimensiones físicas del equipo deben ser tales que permitan un traslado que no implique mucha logística y permita el concepto de un taller móvil.

- El sistema debe ser lo suficientemente sencillo para que cualquier reparación que necesite no necesariamente sea efectuada por un especialista, puesto que ese personal es limitado
- Los componentes del banco de pruebas deben ser de fácil acceso en el mercado actual
- Se debe simplificar el espacio de los módulos, además de que la instrumentación del banco original no es necesaria, puesto que en la actualidad la Armada cuenta con herramientas de medición más precisas como osciloscopios y multímetros, entre otros

#### **4.1.2 Observación directa**

El banco de prueba para el torpedo SST – 4 es un sistema capaz de emular la unidad de lanzamiento de torpedos de los submarinos U – 209 con fines de mantenimiento ejecutando los protocolos de pruebas propuestos por el fabricante. Esto se logra ya que el banco de pruebas posee un cable de transmisión el cual; a partir de este momento se llamará cable filo-guía, exactamente igual al de la unidad anteriormente mencionada. Si bien no se puede hablar detalladamente de dicho procedimiento por un previo acuerdo de confidencialidad entre la Armada Venezolana y los investigadores, se puede decir que consta de una primera etapa la cual es necesario seccionar el torpedo, esto es necesario puesto que se necesita tener acceso a la circuitería interna del mismo que contiene puntos de medición de voltajes. Es de destacar que muy bien estos voltajes pueden ser medidos directamente del torpedo o el mismo posee un conector disponible en el cual el banco de pruebas, con un complementario del mismo, permite hacer las mediciones desde el banco. Luego de ser seccionado el torpedo (y de hacer la conexión de medición de ser requerido) se establece la conexión del cable filo-guía. Una vez establecido el enlace de comunicación, el fabricante detalladamente explica qué combinaciones de órdenes se deben introducir a través del banco de pruebas, y, una vez introducidas, el operador debe hacer evaluaciones de voltaje en los puntos de medición que este indique. Estas

mediciones representan deflexiones de los timones y funcionamiento de la cabeza acústica entre otras cosas. Es de destacar que el torpedo SST – 4 tiene un giroscopio. No obstante la Armada actualmente tiene un banco específico para probar estas unidades. Lo mismo aplica para los motores de los torpedos.

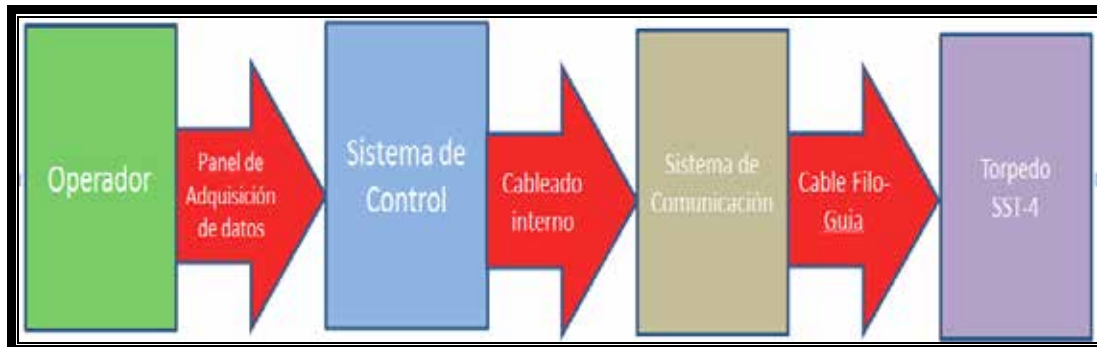
Físicamente hablando ,este banco es un sistema modular que ocupa un espacio equivalente a un escritorio completo, esto se debe a que su circuitería está basada únicamente en lógica diodo transistor, por consiguiente se necesitan muchos componentes para poder realizar el procesamiento de la información que es necesaria enviar al torpedo SST – 4. Es destacable que la instrumentación que posee este banco es principalmente con voltímetros basados en galvanómetros, los cuales, si muy bien hacen su trabajo y fueron muy buenos en el momento de la creación de este banco, actualmente su precisión deja mucho que desear con respecto a los instrumentos más modernos. En el anexo X se muestra el plano de emplazamiento del banco de pruebas para los torpedos SST – 4 con sus dimensiones reales.

#### **4.1.3 Revisión Documental de los planos del banco de pruebas SST – 4 que posee actualmente la Armada Venezolana**

El banco de pruebas del torpedo SST-4 actual, es un equipo destinado a la verificación del estado del torpedo SST-4 ~~que es~~ capaz de emular a la unidad de lanzamiento de dicho torpedo, por lo que a través de él se podrían ordenar distintos patrones de navegación en un ambiente controlado para comprobar que el torpedo es capaz de cumplirlo, procesando y generando la información de tres etapas las cuales son las encargadas de computar los datos requeridos y acondicionarlos para el torpedo SST-4.

- Panel de Adquisición de Datos
- Sistema De Control
- Sistema De Comunicación

En la figura 6 se muestra un diagrama de flujo de la información a través de estos sistemas.



**Figura 6:** Diagrama de flujo de la información a través del banco de pruebas para el torpedo SST-4

Fuente: Lisena y Mendoza (2017)

Es de destacar que aparte de los sistemas mencionados anteriormente son de vital importancia ciertos módulos para el procesamiento de la información y funcionamiento del banco de pruebas, que no inciden directamente en la información por sí solos. Estos son

- Unidad de Alimentación
- Unidad de Tiempo
- Unidad de Aritmética y lógica
- Panel de medición

#### **4.1.3.1 Panel de Adquisición de datos**

Es el espacio dedicado para que el operador del banco de pruebas introduzca manualmente los comandos al torpedo SST – 4. Dicho panel consta de una serie de interruptores de dos posiciones los cuales representan los bits de cada palabra de información que es llevada al sistema de control. La información que es generada en esta etapa es manejada de forma paralela siendo cada uno de estos interruptores independientes entre sí. Cada uno de ellos cuenta con un indicador luminoso para facilitar al usuario la indicación del estado de cada bit.

#### **4.1.3.2 Sistema de control**

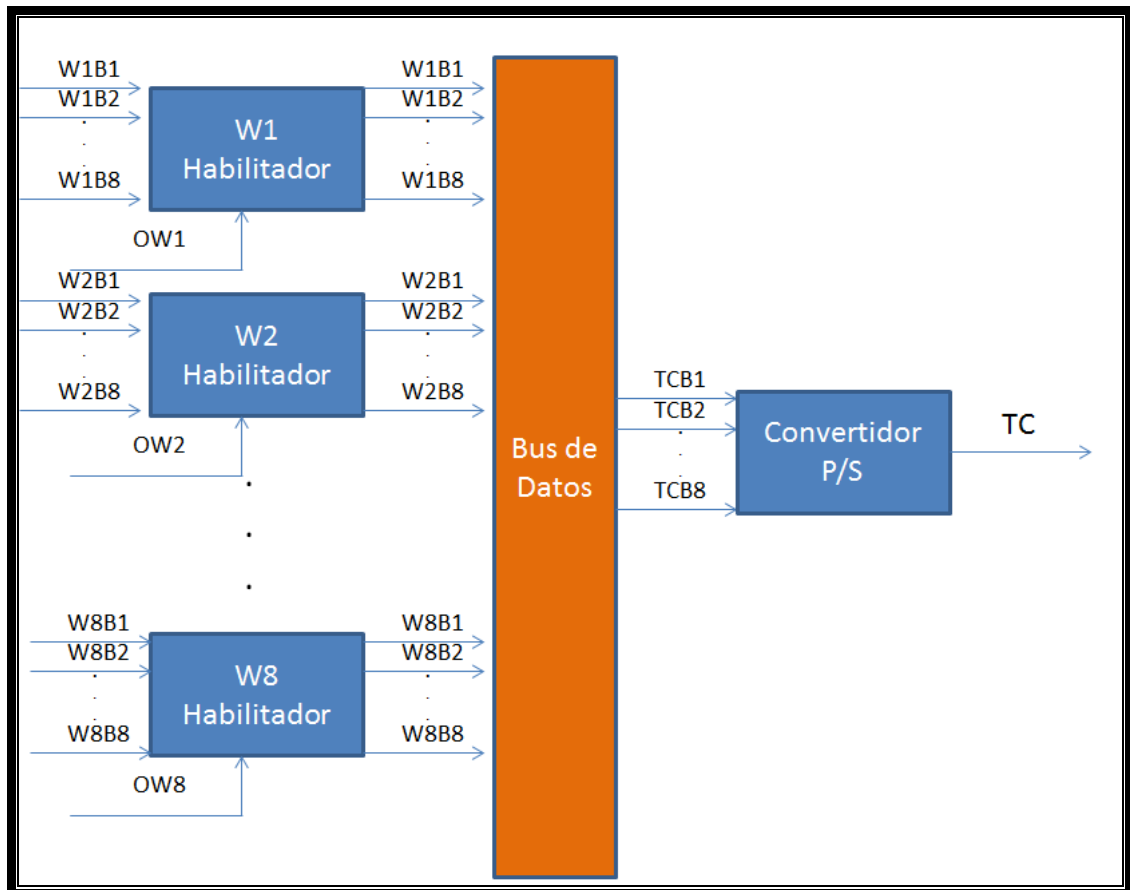
A fin de controlar el torpedo SST-4 es necesaria la información sobre la trayectoria que se desea navegar (tanto en el eje X como en el eje Y), características

en los movimientos durante la navegación, además de la activación o no de protocolos de guerra (los cuales son confidenciales por lo que solo se nombrará su existencia siempre y cuando no comprometa a la Armada Venezolana), Esta información debe ser traducida por la unidad de lanzamiento, en este caso el banco de pruebas para el torpedo SST-4 ,e introducida por el usuario. El método para que el usuario suministre la información es a través de un panel de interruptores de dos posiciones y, dependiendo de las distintas combinaciones de estos interruptores, se genera una palabra digital, que forma parte de lo que llamaremos a partir de este momento el Telegrama de Comando (TC).

- **Telegrama de comando (TC)**

El telegrama de comando es la unión de las 8 palabras que portan la información referente a la navegación del torpedo, de la cual destacan datos como: profundidad, ángulo de giro, y protocolos de guerra. Otra de las características del telegrama de comando es que el usuario solo es capaz de introducir información a las primeras cinco palabras, mientras que las palabras seis y siete no son portadoras de información (aun así se toman en cuenta para el conteo de bits por segundo) y la octava palabra es una palabra fija que es utilizada para mantener el sincronismo durante la transmisión de datos, siendo esta palabra el único método dedicado para mantener el sincronismo entre el torpedo SST-4 y su unidad de lanzamiento (o en este caso el banco de pruebas). La información es introducida paralelamente por lo que debe ser convertida a serial para acondicionar esta información que será enviada a través de un único canal de transmisión, es por eso que se codifica siguiendo los lineamientos de un código de línea unipolar sin retorno a cero, en la figura 7 se muestra un diagrama de bloques con el funcionamiento de este sistema en su etapa de conversión de la información que adquiere el panel de adquisición de datos de paralelo a serial. La trama de información que es generada en esta etapa es enviada al sistema de comunicación para su acondicionamiento. Las palabras cuatro y 5 no son

publicadas por motivos de confidencialidad y la palabra seis y siete no llevan información.



**Figura 7.** Representación del proceso de conversión paralelo-serial del TC

Fuente: Lisena y Mendoza (2017)

- **Palabras digitales del Telegrama de comando**

Como se ha mencionado anteriormente la información es una combinación binaria (de unos y ceros lógicos) paralelos que el usuario introduce a través del panel de interruptores los cual se generan de manera inmediata; para que estas guarden un vínculo, se agrupan por palabras digitales de ocho bits siendo los primeros siete portadores de información y el octavo bit es un uno constante en las primeras siete palabras, utilizado como método de detección de error y mantener el sincronismo durante la transmisión. Con el mismo fin de mantener sincronismo durante la

transmisión la octava palabra también es constante, donde los primeros siete bits son una serie de unos lógicos y el octavo bit es un cero lógico, dando por finalizado el TC. La traducción de estas palabras es distinta debido a que cada una representa una variable diferente en el proceso de navegación del torpedo.

· **Palabra uno (profundidad)**

En el caso de la profundidad cada bit tiene un peso específico en la conversión, y la profundidad ordenada será igual a la suma de cada uno de los bits pero como se ha mencionado anteriormente el último bit es un uno constante por lo que no es tomado en cuenta en la conversión. También posee la particularidad de que cuando el bit más significativo (B7) está activo el peso de los bits seis hasta el uno se multiplica por 10. En la tabla 2 se muestra la codificación de dicha palabra.

**Tabla 2:** Pesos específicos de la palabra uno (profundidad)

Bits	B1	B2	B3	B4	B5	B6	B7	B8
Profundidad(pies)	32	16/160	8/80	4/40	2/20	1/10	0.5/5	X

Fuente: Lisena y Mendoza (2017)

**Palabra dos y tres (ángulo del Objetivo)**

La información sobre el ángulo del objetivo, tiene la particularidad de estar contenido en dos palabras del TC esto debido a que es necesario una resolución lo más pequeña posible. Una característica importante es que cada una de las palabras tiene contenida información solo en sus cinco bits menos significativos (salvo el bit 0 que sigue siendo constante, como se explicó anteriormente). En las tablas 3 y 4 se muestra el peso específico de cada uno de los bits de las palabras dos y tres respectivamente, que llevan información, al igual que en la palabra anterior el ángulo final está dado por la sumatoria de cada uno de los pesos específicos de cada bit. Mientras que las combinaciones de los bits seis y siete de ambas palabras, son permiten elegir entre introducir el rumbo programado o el rumbo comandado dichos bits están conectados en paralelo, y físicamente están representados como un único interruptor, esto debido a que al existir solamente dos posibles combinaciones de bits,

se utiliza utilizando un único interruptor y una compuerta negadora, por lo que se genera una combinación de “01” o “10”.

**Tabla 3:** Pesos específicos de la palabra dos (ángulo del objetivo)

Bits	B1	B2	B3	B4	B5	B8
Ángulo (grados)	180	90	45	22.5	11.25	X

**Tabla 3:** Peso específico de la palabra dos  
Fuente: Lisena y Mendoza (2017)

**Tabla 4:** Pesos específicos de la palabra tres (ángulo del objetivo)

Bits	B1	B2	B3	B4	B5	B0
Ángulo (grados)	5.6	2.28	1.4	0.7	0.35	X

**Tabla 4:** Peso específico de la palabra tres  
Fuente: Lisena y Mendoza (2017)

#### **Palabra ocho (sincronismo)**

Esta palabra es constante debido a esto, el usuario no tiene acceso a modificar ninguno de sus bits. Se caracteriza por el hecho de que sus primeros siete bits son uno y su octavo bit es un 0 y su función es indicar cuando comienza un telegrama de comando y comienza uno nuevo a fin de mantener el sincronismo del sistema.

**Tabla 5:** palabra ocho (sincronismo)

Bits	B7	B6	B5	B4	B3	B2	B1	B0
Estado	1	1	1	1	1	1	1	0

Fuente: Lisena y Mendoza (2017)

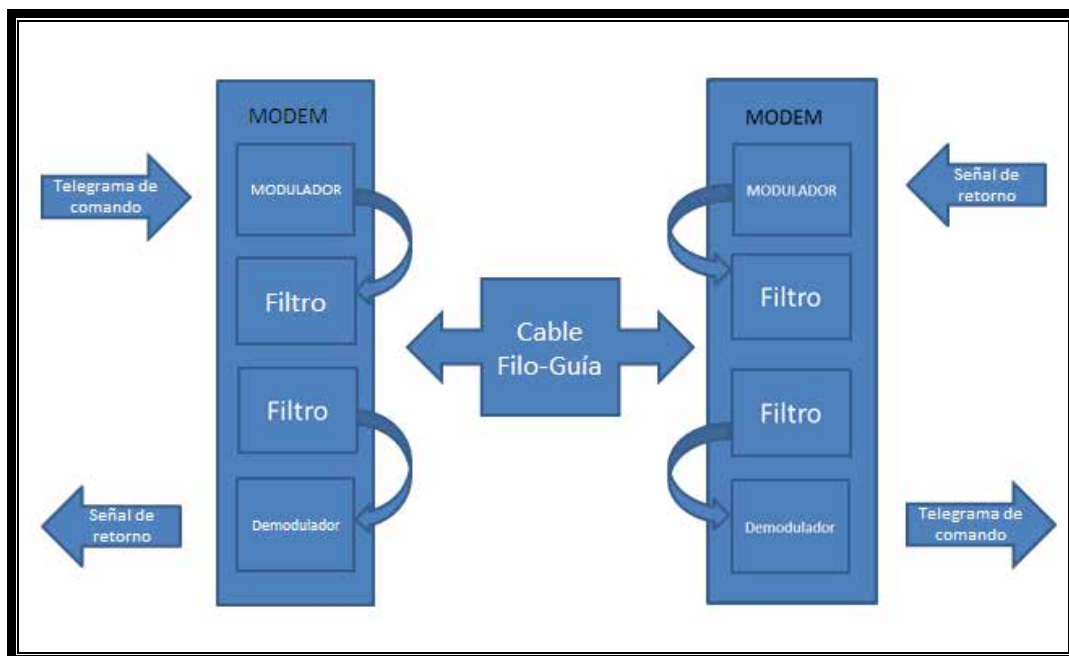
#### **4.1.3.3 Sistema de comunicación**

El sistema de comunicación es el encargado de mantener y ejecutar el intercambio de datos entre el banco de pruebas y el torpedo SST-4. Para ello, es capaz de realizar una comunicación full dúplex, a través de modulación (para el envío de datos) y demodulación (para la recepción de datos) por desplazamientos de frecuencia (FSK por sus siglas en inglés), permitiendo el traspaso de información por medio del cable de transmisión. El uso de modulación y demodulación FSK es ideal para este

sistema, ya que tiene como ventaja, un considerable aumento de la protección contra el ruido y las interferencias, con respecto a otros procesos de modulación, esto aumenta la confiabilidad y eficiencia del sistema. El sistema está compuesto por:

- Modem.
- Filtros pasa banda.
- Sistema híbrido.
- Cable filo-guía.

A continuación, se muestra una representación del sistema de comunicación, mediante un diagrama de bloques, en la figura 8.



**Figura 8.** Diagrama a bloques del sistema de comunicación del banco de pruebas para el torpedo SST-4.

Fuente: Lisena y Mendoza, 2017

- **El módem.**

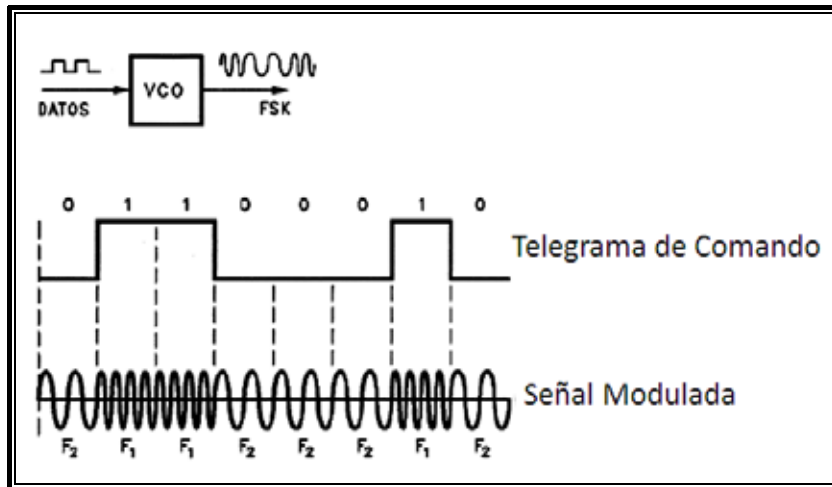
Es el responsable del envío y recepción del telegrama de comando y las señales de retorno, generadas por el banco de pruebas y el torpedo, respectivamente. El módem está conformado por:

- Modulador
- Demodulador

Ambas partes, están basadas en lógica diodo-transistor (DTL), y esto, además de ser una tecnología obsoleta, trae como consecuencia que el módem tenga una gran dimensión física, ya que, para llegar al circuito en el cual se basan sus respectivos funcionamientos, es necesario una gran cantidad de tarjetas, que como se expuso en líneas anteriores, representan compuertas lógicas como AND, NOT, XOR. A continuación se explicará el funcionamiento de las partes que dan vida al módem:

- **El modulador**

Está basado en un oscilador controlado por voltaje (VCO), este se encarga de enviar el TC, el cual, como se expuso anteriormente, es una señal digital que posee un código de línea unipolar sin retorno a cero, esto le otorga la particularidad de tener dos valores, uno representado por un uno “1” lógico (el cual simboliza un voltaje positivo que en este caso particular es de 12 V) y el otro por un cero “0” lógico (que representa un voltaje de tierra o referencia); y modularlo en frecuencia (FM). El modulador genera una señal sinusoidal, (la cual llamaremos portadora), ésta, es modulada por la señal digital enviada (TC). La portadora variara su frecuencia, dependiendo del valor lógico que tenga la señal digital, esto quiere decir que, para un “1” lógico, la portadora tendrá una frecuencia determinada, mientras que, para un cero “0” lógico, se le otorgará otra frecuencia, y se genera la señal modulada. Esto, con el objetivo de poder enviar la información contenida en el telegrama de comando, a través de la señal modulada, al torpedo. Una muestra gráfica de este proceso es representada en la figura 9.



**Figura 9.** Modulación FSK

Fuente: <http://www.udb.edu.sv/udb/archivo/guia/electrónica-ingeniería/sistemas-de-comunicación-ii/2012/ii/guia-6.pdf>

- **El demodulador**

El funcionamiento del demodulador está basado en un circuito de lazo de enganche de fase (PLL), el cual es el responsable de recibir la señal modulada, y convertirla nuevamente en la señal digital original, es decir, el TC o la señal de retorno (BSM por sus siglas en inglés). La señal modulada que ingresa al demodulador, posee la característica de ser sinusoidal y dos frecuencias bien marcadas ( $m$  y  $s$ ), estas determinan el ancho de banda de dicha señal y están relacionadas con los valores lógicos del TC, los cuales se obtendrán a la salida del demodulador. De esta manera la salida del demodulador, es igual al TC enviado.

- **Filtros pasa banda**

Los filtros están basados en circuitos de resistencias y condensadores (RC), por tanto, son filtros pasivos. El uso de estos se debe a que existe una comunicación full dúplex entre el banco de pruebas y el torpedo, por tal motivo se requieren dos anchos de banda para diferenciar las señales a la entrada del modem, uno de ellos representa la transmisión del TC desde el banco de pruebas hacia el torpedo, mientras que el otro representa la transmisión de la señal de respuesta (BSM) del torpedo hacia el banco de pruebas.

- **Sistema híbrido**

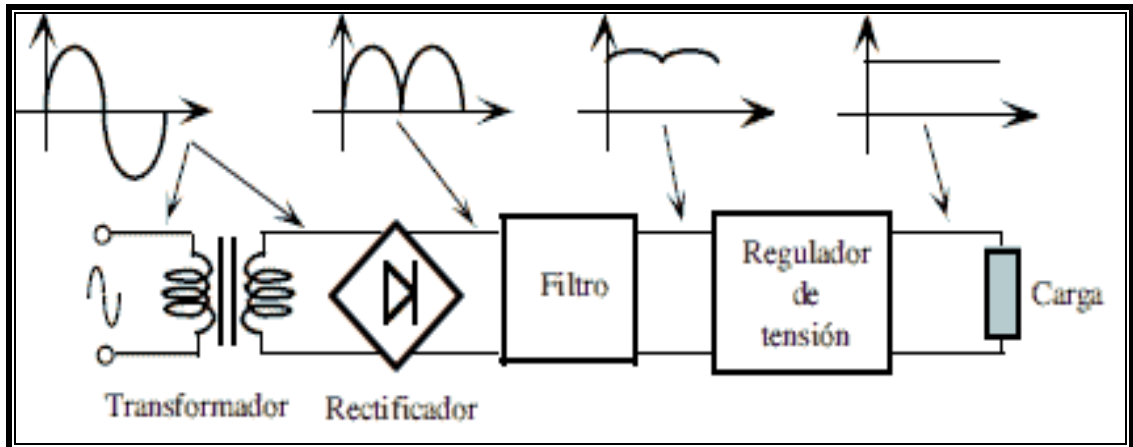
El sistema híbrido por su parte, está compuesto principalmente por un banco de transformadores de relación 1:1 y tiene dos propósitos, el primero va referido a una separación galvánica entre las señales que intervienen en el proceso de transferencia de datos y el banco de trabajo, brindando a estas señales, mayor inmunidad al ruido y protección contra interferencias de otras señales no deseadas en la transmisión; y el segundo comprende una adaptación de impedancias entre el módem y el cable filo-guía, esto con el fin de evitar posibles retornos al enviar el TC. Añadido a esto, el uso del sistema híbrido elimina cualquier componente DC que se genere en la transmisión, lo cual es útil, pues asegura que las señales intervinientes no tengan un OFFSET a la entrada o salida del sistema de comunicación.

- **Cable filo-guía**

El cable filo-guía es el medio de transporte en el sistema de comunicación. Permite la unión del banco de trabajo y el torpedo. Está compuesto de dos hilos, uno está dedicado al envío de datos, mientras que el otro, está dedicado al sincronismo del sistema de comunicación.

#### **4.1.3.4 Fuente de alimentación**

La alimentación del banco de pruebas SST-4 se realiza a través de un voltaje alterno de 115V a 60 Hz que es el voltaje estandarizado en américa latina, no obstante el voltaje de trabajo de las tarjetas electrónicas es de  $\pm 12V$  en voltaje continuo, por lo que es necesaria una fuente de rectificación e inversión para estos niveles deseados. Esto se logra a través de un proceso en el cual, con un transformador se bajan los niveles de voltaje alterno lo más cercano a lo deseado, se utiliza un puente de diodos para rectificar la señal sinusoidal y posteriormente es filtrada. Con el fin de asegurar niveles de voltaje lo más constantes posible, se utilizan reguladores de voltaje. En la figura 10 se muestra el esquema de una fuente de alimentación DC.



**Figura 10.** Esquema de una fuente DC

Fuente: [http://4.bp.blogspot.com/\\_LER0HzMhf7I/TOC\\_0j9piI/AAAAAAAAACE/RabDVjNCzMA/s1600/Diagrama\\_bloques\\_fuente\\_regulada.gif](http://4.bp.blogspot.com/_LER0HzMhf7I/TOC_0j9piI/AAAAAAAAACE/RabDVjNCzMA/s1600/Diagrama_bloques_fuente_regulada.gif)

#### 4.1.3.5 Unidad de tiempo

La unidad de tiempo es un circuito en el cual a través de un oscilador constituido por un cristal de cuarzo y un arreglo de transistores, condensadores y resistencias, se genera una señal de reloj cuadrada, a una frecuencia específica de unos 206 Hz, necesarios para que los circuitos secuenciales estén sincronizados en su funcionamiento. Las características de dicha señal son: (1) sus valores de voltaje son discretos (12V y 0V), (2) su periodo es constante, (3) es simétrica.

#### 4.1.3.6 Unidad de Aritmética y lógica

La unidad de aritmética lógica es donde están contenidas las funciones necesarias para el funcionamiento de cada uno de los anteriores sistemas descritos, en esta se emplean desde compuertas lógicas, flip-flops, y sumadores, entre otras. Los circuitos para conseguir dichas funciones lógicas se basan únicamente en lógica Diodo-Transistor (DTL, por sus siglas en inglés) la cual consiste en determinados arreglos de diodos y transistores para modelar las compuertas. Es de destacar que el fabricante del banco de pruebas SST-4 ha dejado este módulo lógico aritmético aparte de los demás sistemas, además que ha dejado una cantidad de funciones lógicas libres, con el fin de que, en caso de que una de las funciones utilizadas fallase, el

operado pueda re-cablear para mantener fuera de servicio la tarjeta que posee la falla y no comprometer la funcionalidad del banco de pruebas.

#### **4.1.3.7 Panel de medición**

Es la sección del banco de pruebas en la cual se encuentran todos los puntos de medición que están en el torpedo, con el fin de hacer más cómoda la medida. Esta unidad funciona debido a que, una vez seccionado el torpedo, en su interior se encuentra un conector el cual es precisamente para que se conecte el banco de prueba (no confundir con el cable filo-guía) y los puntos de medición propio de la electrónica del torpedo quedarían en paralelo con los del banco de prueba.

### **4.2 Fase II: “Identificar las posibles mejoras que se puedan realizar a los bancos de prueba para los torpedos SST – 4 actuales.”**

Después de haber analizado los planos eléctricos, se ha concluido que existen las siguientes oportunidades de mejora:

#### **4.2.1 Panel de adquisición de Datos**

En el panel de adquisición de datos, es un beneficio mantener el método de adquisición de datos, a fin de que haya consistencia en base al banco de pruebas anterior, permitiendo así que el operador no tenga que ser adiestrado nuevamente. En este orden de ideas los investigadores decidieron no realizar cambios a esta sección del equipo, por lo que se mantiene la misma configuración.

#### **4.2.2 Sistema de Control**

En el sistema de control se puede mejorar el diseño de la fase de conversión paralelo-serial de la información cambiando los siguientes elementos:

##### **4.2.2.1 Ventana de Palabra.**

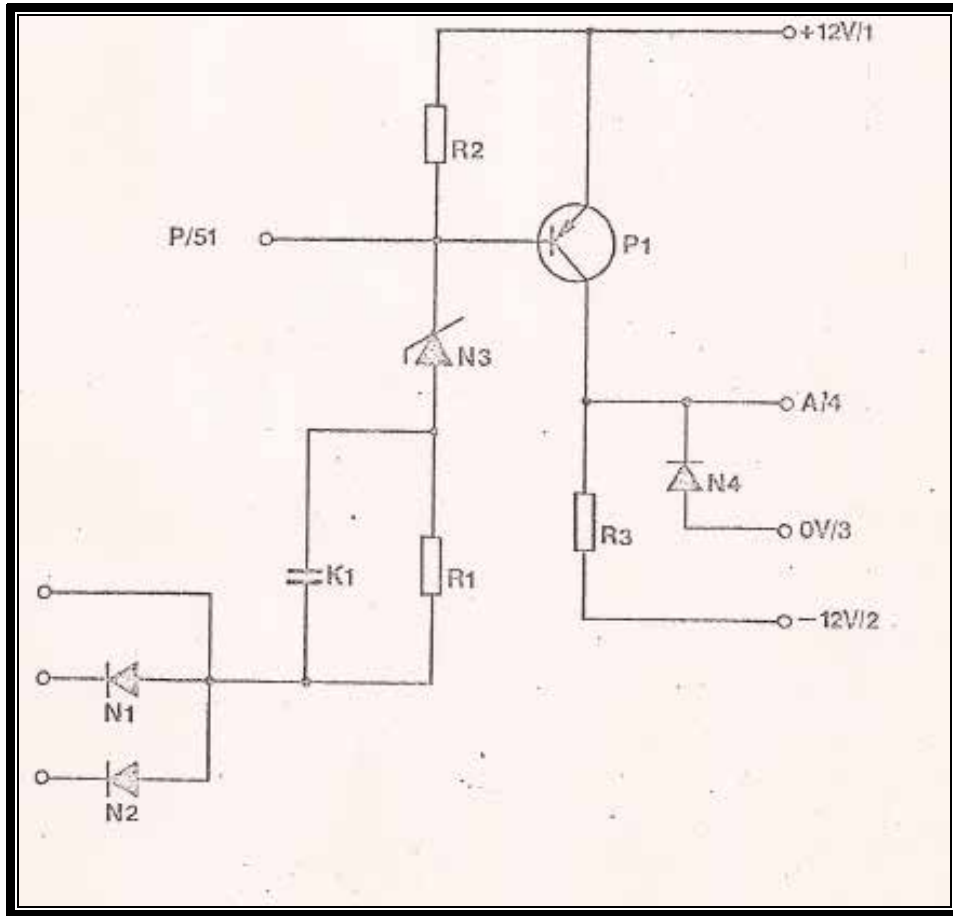
Se entiende por ventana de palabra el tiempo establecido para que cada una de las palabras que conforman el telegrama de comando sea transmitida. Puesto que cada una de ellas serán enviadas por un mismo medio de forma serial, el sistema debe asegurar que en un instante cualquiera de tiempo haya una y solo una ventana abierta.

Para este fin, el banco de pruebas original dispuso de un arreglo de transistores, resistencias, diodos y condensadores (véase figura 11). Cabe la acotación

de que este sistema se debe recrear para cada una de las palabras, es decir, es necesario de ocho circuitos más cierta lógica (la cual es reservada) para su funcionamiento.

Con el nuevo diseño se sustituye el arreglo DTL expuesto anteriormente con circuitos integrados CMOS de la familia 40XX, los beneficios de aplicar esta familia de circuitos integrados con respecto del arreglo DTL son:

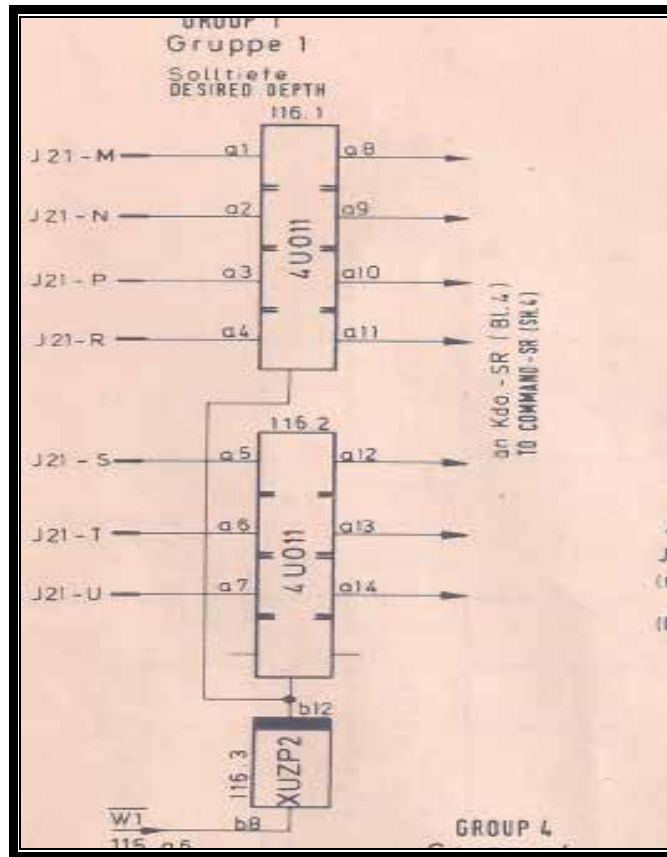
- El consumo de potencia es menor, ya que la alta impedancia de entrada de los circuitos CMOS hace que las corrientes sean pequeñas, lo cual también trae como beneficio que la temperatura interna del equipo disminuya considerablemente.
- Se reduce el espacio físico, ya que no se necesitan tantos componentes eléctricos para realizar las funciones necesarias
- Su fácil adquisición en el mercado hacen que sean sencillamente reemplazables.
- Al utilizar circuitos integrados disminuye significativamente el tiempo de reparación de las tarjetas puesto que, bastaría con el reemplazo del mismo.



**Figura 11:** Diagrama esquemático de la ventana de palabra  
 AEG Special modules For SPU-A which are not included in the logic module  
 catalogue

#### 4.2.2.2 Conversión Paralelo-Serial.

La conversión paralelo-serial del banco de pruebas SST – 4 se hace utilizando la señal de reloj del banco y una serie de módulos lógicos, que al igual que el sistema de la ventana de palabra están basados igualmente en lógica DTL. En la figura 12 se muestra un esquema general de todos los módulos que intervienen en la conversión paralelo-serial de una sola palabra



**Figura 12.** Esquema general de la conversión paralelo-serial.  
Test Stand 1970

Para cumplir la función de convertir de paralelo a serial los investigadores decidieron hacer la conversión de paralelo-serial del TC a partir de un shift register el cual se implementa a través de arreglos de Flips-Flops de la familia de circuitos integrados TTL HC, la cual es compatible con tecnología CMOS.

Los beneficios que conllevaría este nuevo diseño serían:

- Se reduciría significativamente el tamaño físico del equipo puesto que no serían necesarios tantos componentes.
- Menor consumo de energía.
- Mayor resistencia al ruido.

- La familia de circuitos integrado TTL está suficientemente difundida a nivel mundial lo cual hace que sean de fácil acceso.

### **4.2.3 Sistema de comunicación**

#### **4.2.3.1 El módem.**

Está basado en lógica DTL, como se ha expuesto anteriormente, esta implica el uso de varios componentes electrónicos pasivos lo que aumenta considerablemente el tamaño de los circuitos y sus dimensiones físicas. Además, esta lógica posee un alto consumo de energía. En otro orden de ideas el módem, trabaja en FSK, pero, a través de modulación por frecuencias (FM). Esto se debe a que la señal moduladora, es una señal digital. Esto trae consecuencias, ya que cuando existen variaciones de tensión en el TC o el BSM, se generan variaciones en las frecuencias de la señal modulada.

Los beneficios que aportaría sustituir la lógica DTL con tecnología CMOS son:

- Presentará una gran reducción en sus dimensiones
- Un menor consumo de potencia y la reducción significativa de las altas temperaturas presentes en el mismo, ya que la impedancia de entrada de los circuitos integrados CMOS es muy alta no permiten el paso de corrientes elevadas.
- Sería inmune a las variaciones de tensión en el TC o el BSM.
- Al usar lógica CMOS para construir el módem, la transmisión de datos presentará mayor inmunidad al ruido durante el intercambio de datos.

#### **4.2.3.2 Filtros pasa banda**

Los filtros pasivos pasa banda están contruidos a partir circuitos RLC, esto genera un elevado consumo de potencia. Los investigadores han concluido que en el nuevo diseño sean a base de amplificadores operacionales, por lo que ahora pasarán a ser filtros pasa banda activos, esto traerá mejoras en el filtrado de señales y por tanto se obtendrán los siguientes beneficios:

- Ancho de banda para la transmisión de datos mejor definido.
- Una mejor adaptación de impedancias.
- El descarte de inductancias, ya que, los filtros activos no las poseen en sus circuitos.
- La posibilidad de aumentar la amplitud de la señal de entrada.

#### **4.2.3.3 Sistema híbrido**

El sistema híbrido es el encargado de la separación galvánica y actúa como un adaptador de impedancias. En este sentido, el esquema que posee es el indicado para realizar estas actividades, por ello en el nuevo diseño no sufre modificaciones.

#### **4.2.3.4 Cable filo-guía**

Es el medio de transmisión en el sistema de comunicación y tiene las características necesarias para ser sometido a las condiciones a las que puede estar el torpedo. Añadido a esto, cualquier modificación en cable, implicaría modificaciones en el torpedo, en este sentido, no se realizarán cambios al mismo en el nuevo diseño.

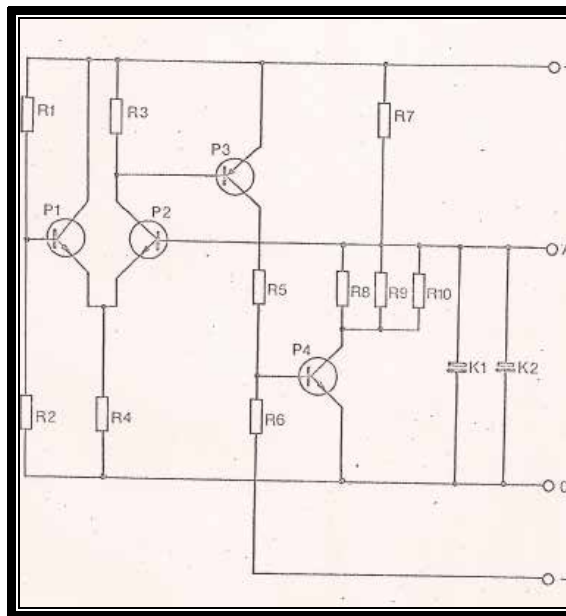
#### **4.2.4 Fuente de alimentación**

En la fuente de alimentación esquemáticamente se ha decidido mantener como originalmente consta, que es de un transformador para disminuir el voltaje pico de la alimentación (110 V a 60Hz) de un puente de diodos rectificadores, un condensador para filtrar y un regulador de voltaje, siendo este último el único cambio radical que se contempló en el diseño.

##### **4.2.4.1 Regulador de voltaje**

El regulador de voltaje consta de un arreglo de transistores, condensadores y resistencias, como se muestra en la figura 13, a partir de este arreglo el banco de pruebas de los torpedos SST – 4 obtiene los voltajes de +12V, 0 V y -12V con error de  $\pm 3\%$ . Por lo que los investigadores han decidido reemplazar dicho arreglo con los circuitos integrados de la familia 78XX y 79XX, los cuales poseen las siguientes ventajas con respecto al arreglo anteriormente mencionado:

- Menor espacio físico requerido, ya que no se necesitan más que condensadores de acoples para ser implementados como reguladores de voltaje en una fuente DC.
- Menor consumo de potencia.
- Disminuye significativamente el rizado remanente en la señal después de haber pasado por el proceso de filtrado en los condensadores.
- Se puede adaptar un disipador de calor con mayor facilidad ya que sus encapsulados están diseñados para este fin.



**Figura 13.** Regulador de voltaje

AEG Special modules For SPU-A which are not included in the logic module catalogue

#### 4.2.5 Unidad de tiempo

La unidad de tiempo esta originalmente constituida por un arreglo DTL alrededor de un cristal de cuarzo, que hace de oscilador. El beneficio de utilizar cristal de cuarzo es que es un elemento sumamente lineal en el tiempo, por lo que los investigadores han decidido mantenerlo como oscilador eléctrico, no obstante se tomó

la decisión de utilizar un arreglo de circuitos integrados CMOS, para sustituir el arreglo DTL. Los beneficios que esto conllevaría son:

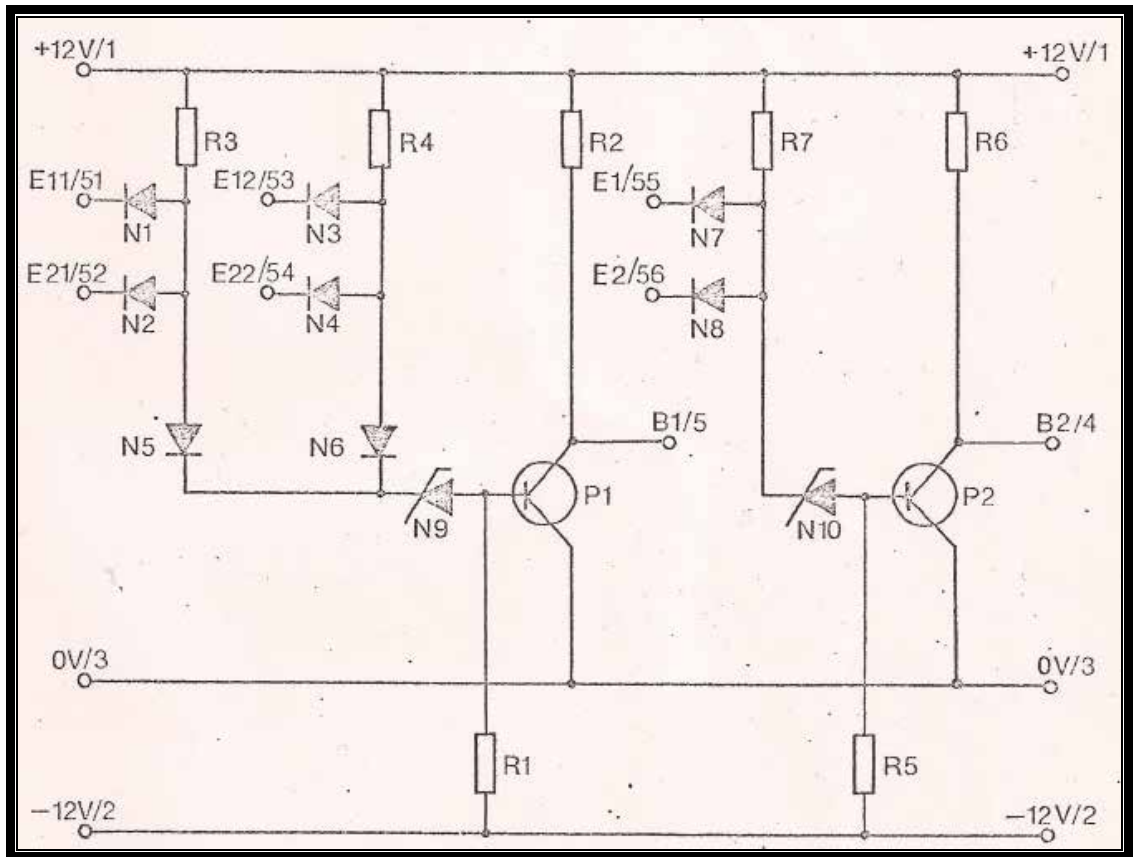
- El consumo de potencia es menor, ya que la alta impedancia de entrada de los circuitos CMOS hace que las corrientes sean pequeñas, lo cual también trae como beneficio que la temperatura interna del equipo disminuya considerablemente.
- Se reduce el espacio físico, ya que no se necesitan tanto componentes eléctricos para realizar las funciones necesarias
- Su sencilla adquisición en el mercado hacen que sean fácilmente reemplazables.

#### **4.2.6 Unidad de aritmética y lógica**

Se ha decidido eliminar la unidad aritmética y lógica, puesto que el uso de lógica CMOS y TTL, permite utilizar arreglos lógicos complejos en encapsulados pequeños y en la tarjeta específica que se les necesita, además de que, a juicio de los investigadores, no sería justificable tener un módulo exclusivamente con estas funciones, ya que implicaría la utilización de cableado, y baquelitas, entre otros recursos. En la figura 14 se muestra el arreglo de una compuerta lógica. En el orden de ideas de hacer fácil el remplazo de cualquier compuerta lógica en un momento dado, los investigadores han decidido que las mismas sean implementadas sobre bases para circuitos integrados.

#### **4.2.7 Panel de Medición.**

Ya que la Armada Venezolana ha manifestado la necesidad de que este equipo sea lo más portátil posible, los investigadores han decidido eliminar esta sección ya que no se considera indispensable, fundamentándose en el hecho de que los puntos de medición también son accesibles al desarmar el torpedo, por lo que el funcionamiento del banco de pruebas no se vería mermado por eliminar esta sección.



**Figura 14.** Ejemplo de una compuerta lógica en DTL

AEG Special modules For SPU-A which are not included in the logic module catalogue

### 4.3 Fase III:” Establecer un sistema de comunicación, control, adquisición y envío de datos.”

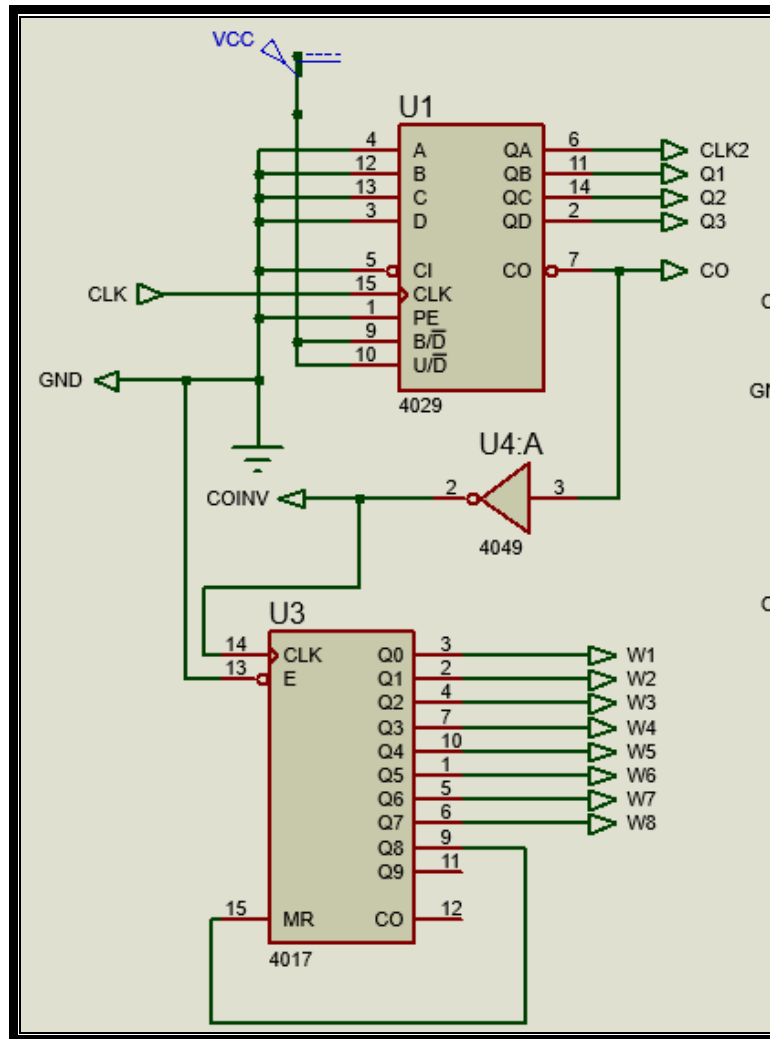
A continuación se presentarán las propuestas de mejora, a los sistemas y subsistemas planteados en la fase II de esta investigación, no obstante es de destacar que previo acuerdo entre la Armada Venezolana y los investigadores, se omitirán parcialmente los planos detallados de los distintos circuitos, siendo los mismos propiedad exclusiva de Armada Venezolana. (Véase Anexo A: Acuerdo de confidencialidad)

### **4.3.1 Sistema de control.**

#### **4.3.1.1 Ventana de palabra**

La ventana de palabra se ha diseñado utilizando un 4029 (su hoja de especificaciones se encuentra en el anexo B) que es un contador binario de cuatro bits, y un 4017 que es un contador de décadas de 10 bits. El 4029 es el encargado de contar ocho bits, que es el tamaño de cada una de las palabras del TC y a su vez el bit menos significativo(Qa) es utilizado como divisor de frecuencia de la señal de Clock, por lo que para la contabilización solo intervienen los tres bits más significativos (Qb, Qc y Qd) . En el momento en que el 4029 cuente el octavo bit (que sería la combinación 111) el siguiente bit excita el MR del mismo, además que pasa a excitar el CO del 4029, la variación de este es el pulso de Clock del contador de décadas, esto para asegurar que haya una relación de variación de ocho a uno entre los bits que se transmiten y las palabras. Cabe destacar que el conteo del 4029 comienza a partir de la combinación 000. Además que el Clock 4029 es suministrado por la unidad de tiempo.

El 4017 al recibir el pulso del CO del 4029 conmuta el estado de sus salidas, permitiendo que en un momento de tiempo cualquiera una sola salida este presente un uno lógico. Es de destacar que, cuando Q8 del 4017 sea accionado, excitará el MR del mismo, ya que solo se manejan 8 palabras por lo que no se necesitan de todas las salidas del 4017. Es de hacer notar cómo configuraciones previas del circuito los valores de preset del 4029 están conectados a GND, para que cada vez que comience un conteo su primer valor sea 0000, al igual que el preset enable. Además que deben estar a VCC tanto el selector de conteo binario o década, como el selector de cuenta ascendente o descendente. En la figura 15 se muestra el diagrama esquemático de la ventana de palabra. El cual ha sido simulado a través de la herramienta de software Proteus 8 Professional. Por motivos de comodidad al hacer las lecturas con el osciloscopio, se ha invertido el CO, con una compuerta NOT, a fin de que el mismo sirva como pulso de sincronismo e indique cuando comienza y termina cada una de las palabras que componen el TC.



**Figura 15:** Diagrama Esquemático del sistema de ventana de palabra

Fuente: Lisena y Mendoza (2017)

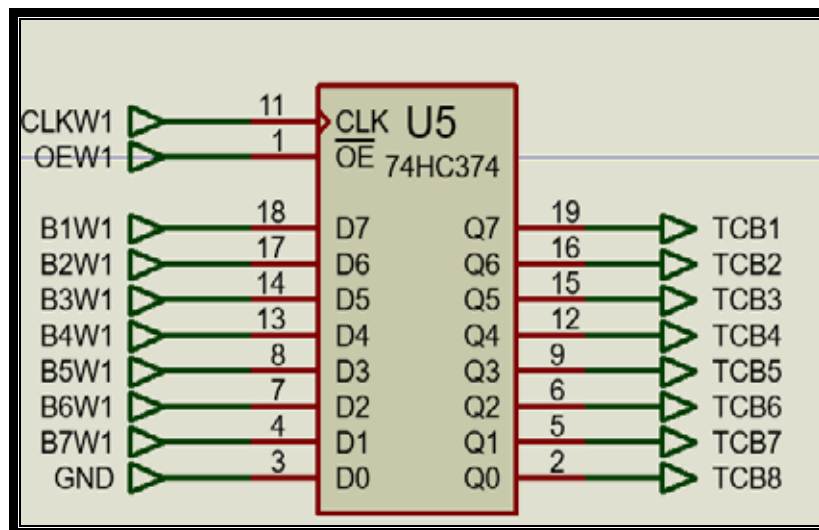
En esta etapa ya se obtiene una respuesta electrónica para habilitar cada palabra. Siguiendo a esta etapa las respuestas dadas por el 4017 pasan a ser las habilitaciones para los 74HC374 (su hoja de especificaciones se encuentra en el anexo C). El circuito integrado 74HC374 es un arreglo de flip-flops tipo D, independientes, posee la característica de que tiene tres estados posibles (ver tabla 5)

**Tabla 5:** Tabla de la verdad 74HC374

D	Habilitación	Q
0	0	0
1	0	1
X	1	Alta impedancia

Tabla 5: Tabla de la verdad 74HC374  
Fuente: Lisena y Mendoza (2017)

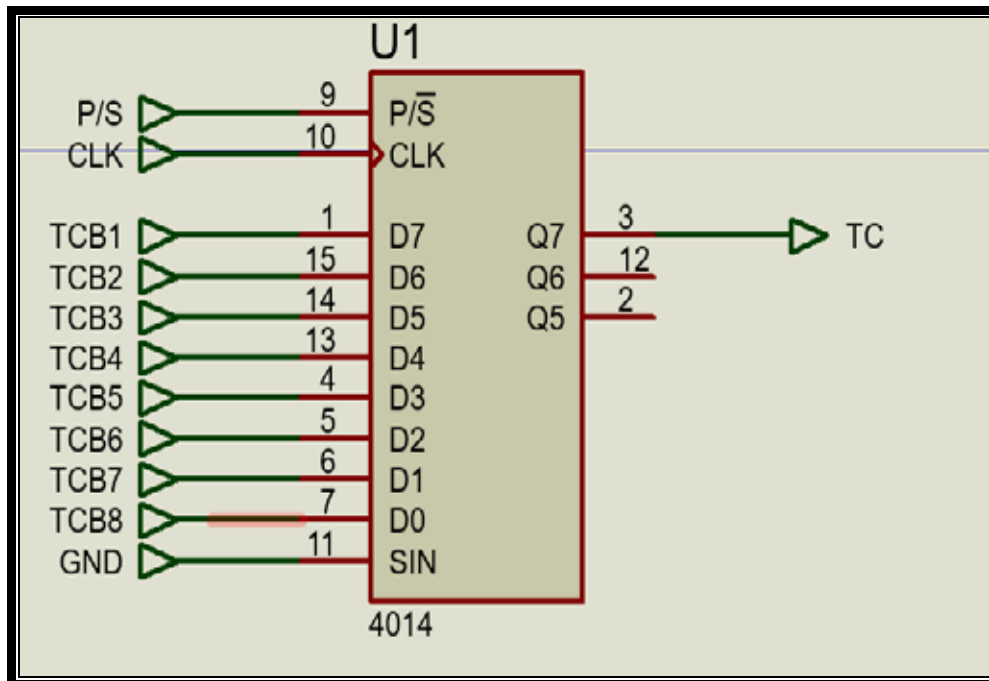
La característica de que sus salidas puedan comportarse como una alta impedancia le hace ideal para esta aplicación, ya que se pueden conectar directamente al convertidor paralelo-serial sin tener que pasarlas por otra compuerta lógica. Esto se debe a que en el estado de alta impedancia no se ve afectada la salida de alguno de los arreglos al accionamiento de sus semejantes de las demás palabra. Esta condición se asegura ya que como se explicó anteriormente el sistema solo mantiene una habilitación (ventana de palabra) activa en cualquier instante de tiempo. En la figura 16 se muestra el diagrama de conexión de un 74HC374. Cabe la acotación que se repite para cada palabra del TC.



**Figura 16:** Conexión del 74HC374  
Fuente: Lisena y Mendoza (2017)

### 4.3.1.2 Conversión Paralelo-Serial

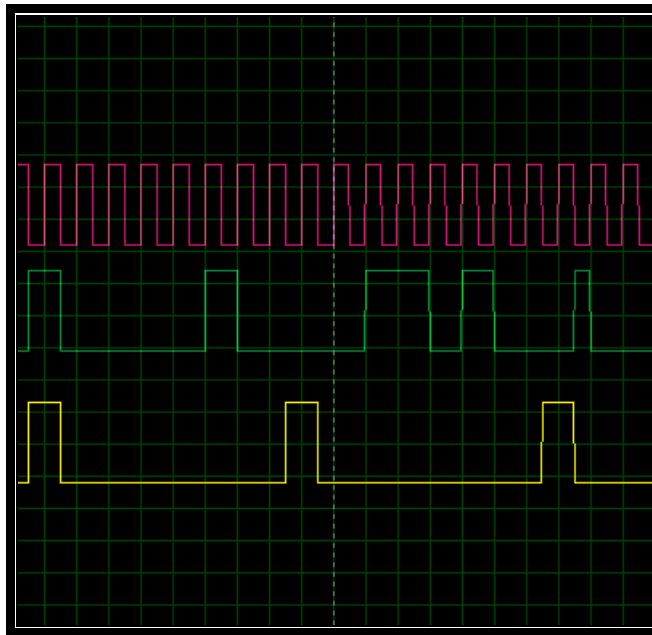
Una vez establecida la ventana de palabra y el método de selección de la misma se puede conectar a la última etapa, que es la conversión de paralelo a serial. Los investigadores en este caso han utilizado un registro por desplazamiento basado a un arreglo de flip-flops tipo D, conectados en cascada. Se seleccionó el 4014 (su hoja de especificaciones está en el anexo D). El mismo es un arreglo de flip-flops conectados internamente en cascada, posee ocho entradas, no obstante solamente se tiene acceso a las salidas de los últimos tres flip-flops. Esto último no significa un inconveniente, ya que basta con una única salida para este diseño. A la entrada de este circuito se deberán conectar punto a punto todas las salidas de los 74HC374, teniendo en cuenta que se deben colocar con sus equivalentes de las otras palabras, es decir todos los B0 con sus similares en la entrada D0 del 4014, y sucesivamente. En la figura 17 se muestra el diagrama de esquemático del 4014.



**Figura 17:** Diagrama esquemático del 4014

Fuente: Lisena y Mendoza (2017)

Siendo esta la última etapa necesaria del TC, los investigadores han utilizado la herramienta virtual Proteus 8 Professional para hacer la simulación del TC visto desde un osciloscopio. El resultado se muestra en la figura 18. Siendo la señal rosada el Clock del sistema, señal verde el TC, y la señal amarilla el pulso de sincronismo. Se debe destacar que se han omitido los valores de los controles de división de tiempo y voltaje del osciloscopio en concordancia con el acuerdo de confidencialidad entre los investigadores y la Armada Venezolana. Una vez culminada esta etapa, el TC está listo para ser enviado al modem donde será acondicionado para ser finalmente enviado al Torpedo SST – 4.



**Figura 18:** Simulación del TC con Proteus.  
Fuente: Lisena y Mendoza (2017)

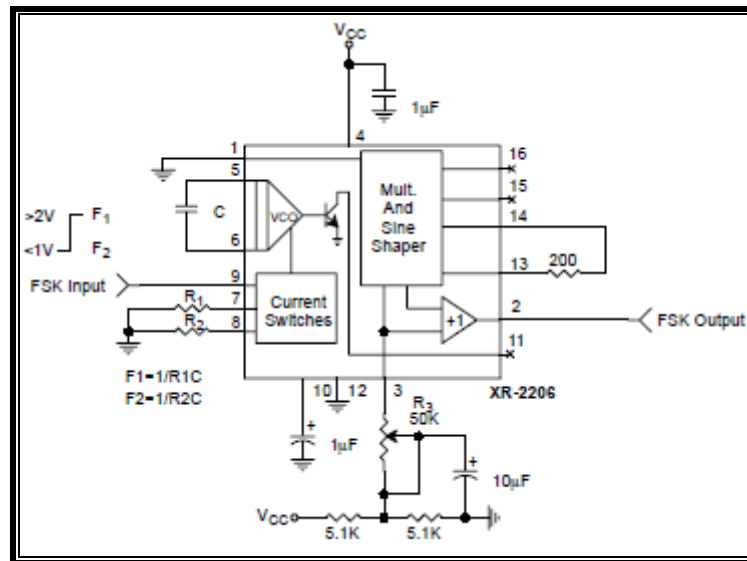
### **4.3.2 Sistema de comunicaciones**

#### **4.3.2.1 Modulador.**

El diseño del modulador fue realizado a partir del circuito integrado XR-2206CP. Se trata de un generador de funciones monolítico, el cual tiene distintas aplicaciones, y, para cada una de ellas, una configuración específica. Es capaz de

generar señales sinusoidales, cuadradas, triangulares o rampas, con una alta estabilidad y exactitud. Las salidas pueden ser modificadas en frecuencia o amplitud por voltajes externos, esto quiere decir que, el integrado trabaja a partir de un VCO. Entre sus principales características, se debe señalar que tiene una baja distorsión para onda sinusoidal. Tal atributo, permite un gran desempeño de este integrado cuando opera como un modulador FSK. En general, por las características que posee, es ideal para ser empleado en aplicaciones de instrumentación y comunicaciones. En el anexo E, se encuentran las hojas de especificaciones del XR-2206-CP, en las cuales, se muestran las características técnicas, eléctricas y rangos de operación del mismo.

La figura 19 representa la configuración realizada para el diseño del modulador FSK.



**Figura 19.** Diagrama esquemático del modulador FSK.  
Fuente: Hoja de especificaciones XR-2206-CP

Los cálculos y notas a tomar en cuenta para el diseño de la figura 19, fueron los siguientes:

1. El integrado XR-2206-CP es operado mediante dos resistencias conectadas a los pines 7 y 8.
2. Dependiendo de la polaridad del TC en el pin 9, serán activados los pines 7 y 8. Si el pin 9 está en circuito abierto, o el voltaje de la señal de entrada es mayor o igual a 2 V, sólo R1, que se encuentra en el pin 7, será activado. En caso contrario, es decir, si el voltaje de del TC es menor o igual a 2V, se activará el pin 8, a través de la resistencia R2, conectada a él.
3. Las frecuencias de salida el modulador, F1 y F2, son calculadas mediante las siguientes ecuaciones:

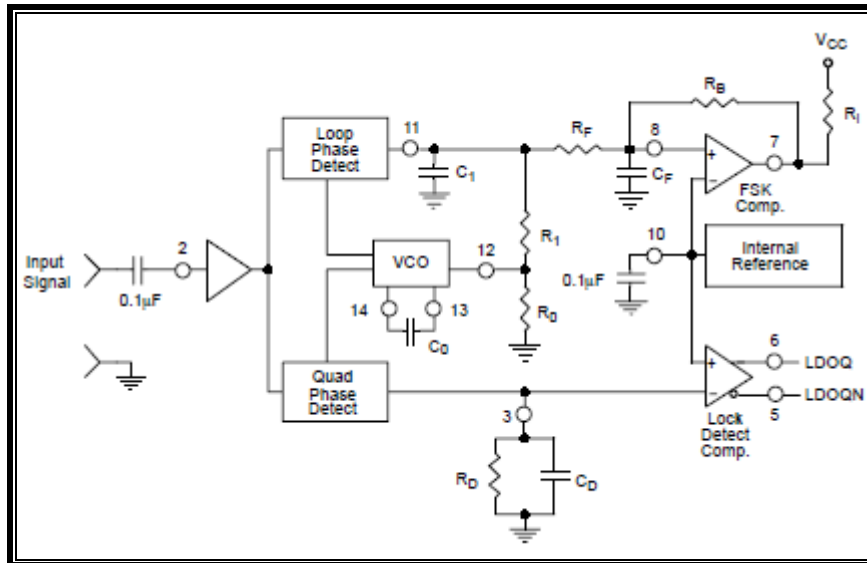
$$\text{Ec. X } F1=1/R1.C$$

$$\text{Ec. X } F2=1/R2.C$$

#### **4.3.2.2 Demodulador**

El diseño del demodulador por su parte, se generó a partir del integrado XR-2211-CP. Éste es un integrado que trabaja por medio de un PLL, y es diseñado especialmente para aplicaciones de comunicación de datos. Es particularmente apropiado para módems FSK. Consiste de (1) un PLL básico para rastrear la señal de entrada dentro del filtro pasa banda, (2) un detector de fase que provee a un detector de portadora, y (3) un comparador de voltaje de FSK, el cual permite la demodulación. Una característica relevante del XR-2211-CP, es que posee rangos de operación de temperaturas específicos para aplicaciones militares e industriales. En el anexo F se muestra la hoja de especificaciones de este circuito integrado, en la que se detallan características técnicas, eléctricas, además de los modos y rangos de operación del mismo.

En la figura 20, se muestra el esquema realizado para el diseño del demodulador FSK.



**Figura 20.** Diagrama esquemático del demodulador FSK.

Fuente: Hoja de especificaciones XR-2211-CP

Con referencia en la figura 20, la tabla 6 indica las funciones de los componentes externos:

**Tabla 6.** Funciones de los componentes externos del demodulador FSK

Componente	Función
R0 y C0	Establecer la frecuencia central del PLL.
R1	Fijar el ancho de banda del sistema.
C1	Fijar la constante de tiempo del filtro de bucle y el factor de amortiguación del bucle
RF y CF	Formar un filtro de detección para los datos de salida FSK.
RB	Introducir realimentación positiva a través del comparador FSK, para facilitar la rápida transición entre los estados lógicos de la salida.

Fuente: Lisena y Mendoza (2017)

Los cálculos y procedimientos necesarios para el funcionamiento de la configuración que se muestra en la figura 20, se detallan a continuación:

- a) Se procede a calcular la frecuencia central del PLL (F0)

$$F0 = \sqrt{F1 \cdot F2}$$

- b) Se escoge un valor para la resistencia variable R0. El fabricante recomienda el uso de valores comprendidos en el rango de final de R0, normalmente es ajustado por el potenciómetro en serie Rx.

$$R0 = R0 + Rx/2.$$

- c) Se calcula un valor para C0.

$$C0 = 1/R0 \cdot F0$$

- d) Se calcula el valor de R1 para determinar el ancho de banda del sistema.

$$R1 = [(C0 \cdot F0)/(F1 - F2)] \times 2$$

- e) Procedemos al cálculo de C1

- f) Calculamos un valor para el condensador CF

$$R_{sum} = ((R_F \cdot R_1) + R_B) / (R_1 + R_B + R_F)$$

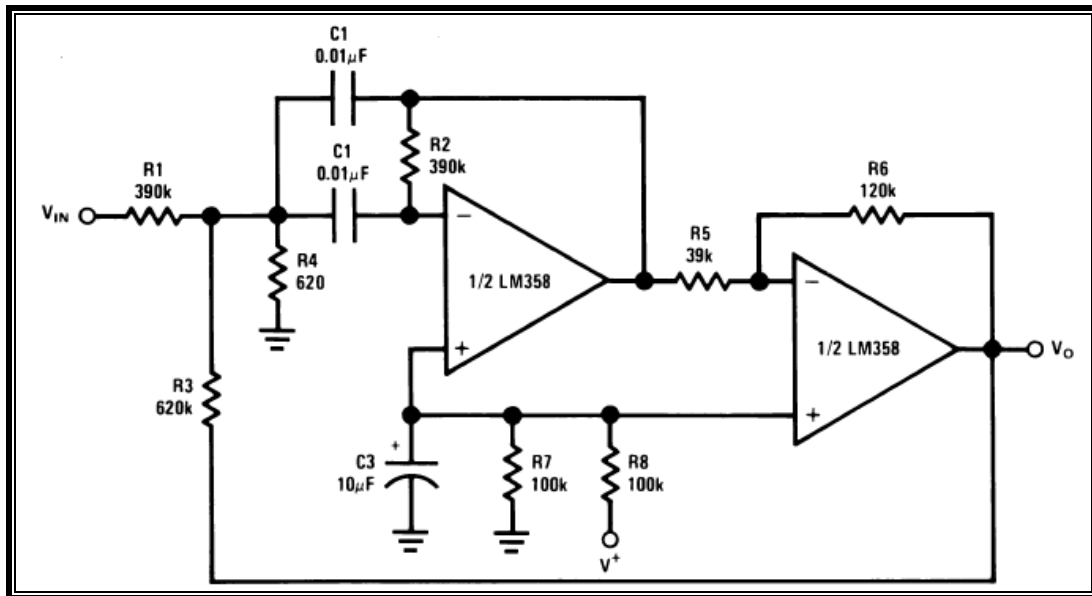
$$CF = 0.25 / (R_{sum} \times \text{Baud rate})$$

Baud rate en 1/segundos.

#### **4.2.2.3 Filtros activos pasa banda.**

El diseño de los filtros activos pasa banda fue realizado a partir de un amplificador operacional, el integrado LM158. Este integrado consiste de dos amplificadores operacionales internos, los cuales poseen una alta ganancia, diseñados específicamente para operar desde una sola fuente de alimentación. En el anexo G, se encuentra la hoja de especificaciones de este circuito integrado, en la que están descritas las características técnicas, eléctricas y los modos y rangos de operación del mismo.

El diseño del filtro activo pasa banda, consta de un filtro activo pasa bajos seguido de un filtro activo pasa altos, ambos realizados a partir del integrado LM158. La configuración se muestra en la figura 21.



**Figura 21.** Configuración filtros activos pasa banda  
Fuente: Hoja de especificaciones XR-2211-CP

Los cálculos y notas que se tomaron en consideración fueron las siguientes:

Dados: Q y F0

a) C1=C2 serán iguales

b) Se escoge un valor para K para reducir la propagación de los valores de los elementos o para optimizar la sensibilidad. Sus valores típicos son mayores que 1, pero menores a 10.

Entonces:

c)  $R1=R4=R6 = Q/W_o.C1$

d)  $R2= R1[KQ/(2Q-1)]$

e)  $R3= [R3/(Q^2 - 1 - 2/K+1/KQ)]$

f)  $R7= KR1$

g)  $H_o= \sqrt{Q}.K$

### 4.3.3 Fuente de alimentación

Para asegurar la alimentación de  $\pm 12V$ , los investigadores ha decido utilizar como reguladores de voltaje el 7812 y el 7912, los cuales son reguladores para voltaje positivo y negativo respectivamente, además que se necesita también un  $+5V$  puesto que es el voltaje de trabajo del 74HC374, para este fin se ha seleccionado un 7805. El esquema de conexión de la fuente se muestra en la Figura 22.

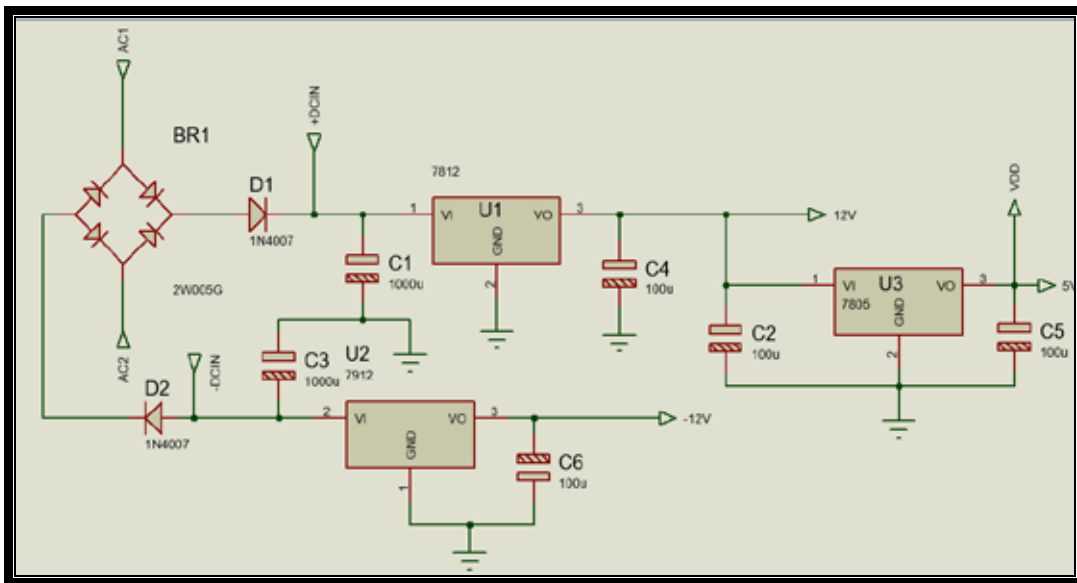
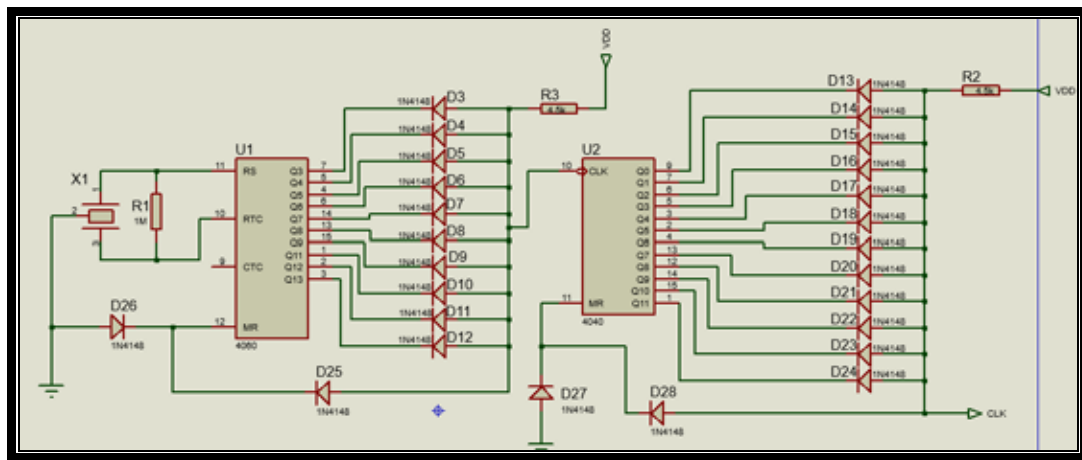


Figura 22: esquema de conexión de la fuente  
Fuente: Lisena y Mendoza (2017)

### 4.3.4 Unidad de tiempo

A fin de generar la señal de Clock para los sistemas secuenciales del banco de pruebas, los investigadores han decidido seguir manteniendo como oscilador principal un oscilador a base de un cristal de cuarzo por los beneficios que se expusieron con anterioridad. Ya que las frecuencias comerciales de los cristales están en el orden de los MHz y la frecuencia de procesamiento (la cual es reservada) está en el orden de los Hz, se decidió utilizar un 4060 y un 4040 como divisores de frecuencia. El 4060 es un contador binario que en vez de una señal de Clock se le debe proveer de un oscilador ya sea RC o con un cristal de cuarzo (siendo este último el caso), posee 10 salidas, no obstante la menos significativa ya implica una octava

parte de la frecuencia original del oscilador. En el caso que la frecuencia no sea dividida exactamente a través de una sus salidas se deberá hacer la suma entre las mismas con diodos. De esta forma se generaran pulsos, no una señal cuadrada como la descrita en la fase previa, es por eso que el siguiente paso es utilizar el 4040, cuyo Clock serán los pulsos generados. A la salida del mismo se generaran ondas cuadradas y simétricas que el sistema utilizará como reloj. En la figura 23 se muestra el esquema.



**Figura 23:** Esquema de conexión de la unidad de tiempo  
Fuente: Lisena y Mendoza (2017)

Es de destacar el hecho de que los investigadores han tomado en cuenta todas las salidas, debido a que pequeñas variaciones en la exactitud de los cristales provocarían grandes divergencias en la frecuencia final. Por consiguiente, a fin de que, en el caso de sustituir el cristal de cuarzo, el operador pueda hacer las calibraciones necesarias en la frecuencia, en el esquema se han dispuesto de todos los diodos. No obstante, en su implantación física no es así.

## CONCLUSIONES

En la ejecución del trabajo especial de grado para el Taller de Torpedos, adscrito al Escuadrón de Submarinos de la Armada de Venezuela, anteriormente expuesto se evidenció que la tecnología con la que opera el banco de pruebas para los torpedos SST – 4 es obsoleta, ya que hasta la fecha de inicio de este proyecto, no se ha habido adelantado ningún esfuerzo de actualización. Y, si bien el banco de pruebas actual cumple con la función para la cual fue diseñado, la naturaleza institucional de la Armada Venezolana, que la guía hacia la vanguardia en todas sus tareas y en la adaptación de nuevos escenarios bélicos, como la guerra asimétrica, presenta un claro conflicto con las prestaciones operacionales del mismo. El requisito primordial que solicitó esta institución fue la posibilidad de contar con un dispositivo móvil, en aras de flexibilizar el mantenimiento de los torpedos SST – 4 y disminuir la logística necesaria para el desplazamiento del mismo, por lo que el tamaño físico requerido para ser implementado se convierte en la característica fundamental. Desde este punto de vista, el diseño logrado satisface plenamente esta exigencia.

Una vez que los investigadores hicieron un análisis detallado de la funcionalidad del banco de pruebas de los torpedos SST – 4 de la Armada Venezolana, mediante la lectura de planos y la utilización de instrumentos de medición, se obtuvo la información necesaria para la selección de componentes, siendo los mismos en su mayoría basados en tecnología CMOS, la cual se considera ideal por requerir poco espacio físico para su implementación, su bajo consumo de energía, estar difundida masivamente en el mundo y facilidad de remplazo en caso de avería. Así, se reduce drásticamente el tamaño del equipo propuesto y se alcanza la fundamental exigencia del propietario, junto con otros beneficios adicionales.

En términos de los objetivos originalmente planteados en esta investigación, se puede concluir que fueron cabalmente cumplidos ya que al final de esta investigación se generaron para la Armada de Venezuela los planos necesarios para la construcción de esta propuesta (siendo los mismos de naturaleza confidencial, previo

acuerdo entre la Armada de Venezuela y los investigadores). No obstante si bien como prototipo, cumple su función de generar el Telegrama de Comando y establece un enlace de comunicación con el torpedo SST – 4, se detectó que hay campo para la mejora posterior y perfeccionamiento de este equipo, o inclusive como precedente para la realización de otros más complejos. Entre dichas mejoras posibles, los investigadores han concluido que sería beneficioso implementar un sistema que permita visualizar de manera más clara las palabras que componen el Telegrama de comando. En el mismo orden de ideas y aprovechando que el torpedo SST – 4 posee en su interior una regleta de conexión, con acceso a los puntos de medición de interés especificados por el fabricante, se podría establecer una interfaz de adquisición de datos, para que los mismos fuesen enviados directamente a un sistema SCADA, en el cual se visualicen los valores de interés de manera simultánea en un computador, entre otras (las cuales serán expuestas en las recomendaciones).

Finalmente, refiriéndose a los costos de construcción de este equipo, se ha hecho una gran diferencia con respecto al utilizar otras soluciones como por ejemplo el caso de utilizar un PLC programado para esta función, ya que mientras que un PLC de gama baja, como es el caso de logo SIMIENS cuesta alrededor de 150USD, el costo de una compuerta lógica, es de alrededor ambas soluciones. No obstante hay que considerar también las horas de ingenierías las cuales fueron necesarios durante el desarrollo de este proyecto, y si muy bien este factor equipara los precios con respecto a otras soluciones se tiene que tomar en cuenta que, al producir este equipo en serie, dichas horas de ingeniería se repartirían entre toda la producción lo cual sería la gran ventaja de emplear el diseño producto esta investigación.

## RECOMENDACIONES

- Mantener un amplio inventario de los circuitos integrados necesarios para el funcionamiento del banco de pruebas para los torpedos SST – 4 como repuestos. Para así asegurar la operatividad en el tiempo de dicho equipo.
- Diseñar un circuito que permita al banco de prueba de torpedos SST – 4 hacer el chequeo de pre-lanzamiento de los submarinos U – 209, el cual podría estar basado en un microcontrolador, el mismo debe ser capaz de que el operador atreves de una perilla o selector, sea capaz de avanzar de manera secuencial cada una de las fases de la rutina de pre-lanzamiento, sin tener la posibilidad de que alguno de los pasos sea obviado, y asegurando que el torpedo SST – 4 haya sido encendido de manera correcta.
- Diseñar un método que permita visualizar de manera más clara los valores de las palabras que conforman el TC. Esto se podría lograr a través de displays de siete segmentos, o pantallas LCD, con el fin de que se muestre de manera amigable y dinámica los valores de interés que se están generando.
- Diseñar una interfaz de adquisición de datos que permita visualizar los valores de interés en un PC. Ya que los Torpedos SST – 4 al ser seccionados se tiene acceso a una regleta de conexiones, se podría adaptar dicho conector a una tarjeta de adquisición de datos y desarrollar una aplicación en Windows que permita visualizar de manera amigable en la PC, todos los valores de interés dentro del torpedo SST – 4 y así simplificar aún más las rutinas de mantenimiento.
- Realizar una prueba comparativa y exhaustiva entre el banco de pruebas original y el propuesto por el operador, para así detectar todas las posibles mejoras y fallas del banco de pruebas propuesto

## REFERENCIAS BIBLIOGRÁFICAS

- AEG, (1970) “**Allgemeine elektricitats – geselshelshaft**” Berlin; Editorial AEG
- AEG, (1970) “**Special modules For SPU-A witch are not included in the logic module catalogue**” Berlin. Editorial AEG
- Arias, F. (2004). **El proyecto de investigación. Introducción a la metodología científica.** Caracas; Editorial Episteme
- Mijares, H. y García, L. (2007) **Manual de Investigación para trabajo especial de grado de la UJAP.** San Diego. Editorial UJAP
- Tamayo, M (1997) **El proceso de investigación científica.** Madrid, Editorial Limusa
- Pallela, S. y Martins F. (2012) **Metodología de la investigación cuantitativa** Caracas, Editorial FEDUPEL.
- Bidinton C. (2010) **Basic para microcontroladores PIC** Chicago, Editorial MikroBasic.
- Arias, F. (2012). **El proyecto de investigación. Introducción a la metodología científica.** Caracas; Editorial Episteme.
- Sabino, C (1992). **El proceso de investigación** Buenos Aires, Editorial PANAPO
- Hurtado, J. (2000) **Metodología de la investigación** Caracas, Editorial Quirón.

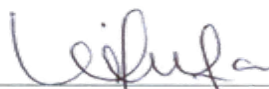
## **ANEXOS**

**ANEXO A. Compromisos de confidencialidad**

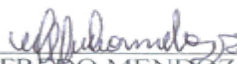
Puerto Cabello, 08 de junio de 2017

**COMPROMISO DE CONFIDENCIALIDAD**

Yo Wilfredo Elías Mendoza Chirinos, CI 22.744.494, mediante la presente me comprometo ante la Armada Bolivariana, representada por Capitán Navío Wilmer Mendoza Estraña, CI V-7.060.273, Jefe del Área de Torpedos Pesados a mantener la confidencialidad de la información que se me suministre referente al Torpedo Pesado SST-4, equipos de pruebas y sus accesorios, así como de los resultados obtenidos en la investigación y desarrollo del **EQUIPO GENERADOR DE TELEGRAMA DE COMANDO DEL TORPEDO SST-4**. En tal sentido no podrá ser divulgada esta información, sin la autorización respectiva de la Armada Bolivariana.



WILMER MENDOZA ESTRAÑO  
Capitán de Navío



WILFREDO MENDOZA CHIRINOS



Puerto Cabello, 08 de junio de 2017

**COMPROMISO DE CONFIDENCIALIDAD**

Yo Mauro Antonio Lisena Guape, CI V-23.507.125, mediante la presente me comprometo ante la Armada Bolivariana, representada por Capitán Navío Wilmer Mendoza Estraño, CI V-7.060.273, Jefe del Área de Torpedos Pesados a mantener la confidencialidad de la información que se me suministre referente al Torpedo Pesado SST-4, equipos de pruebas y sus accesorios, así como de los resultados obtenidos en la investigación y desarrollo del **EQUIPO GENERADOR DE TELEGRAMA DE COMANDO DEL TORPEDO SST-4**. En tal sentido no podrá ser divulgada esta información, sin la autorización respectiva de la Armada Bolivariana.

  
WILMER MENDOZA ESTRANO  
Capitán de Navío

  
MAURO LISENA GUAPE



**ANEXO B.** Hojas de especificaciones del circuito integrado CD4029.

## CD4029BM/CD4029BC Presettable Binary/Decade Up/Down Counter

### General Description

The CD4029BM/CD4029BC is a presettable up/down counter which counts in either binary or decade mode depending on the voltage level applied at binary/decade input. When binary/decade is at logical "1", the counter counts in binary, otherwise it counts in decade. Similarly, the counter counts up when the up/down input is at logical "1" and vice versa.

A logical "1" preset enable signal allows information at the "jam" inputs to preset the counter to any state asynchronously with the clock. The counter is advanced one count at the positive-going edge of the clock if the carry in and preset enable inputs are at logical "0". Advancement is inhibited when either or both of these two inputs is at logical "1". The carry out signal is normally at logical "1" state and goes to logical "0" state when the counter reaches its maximum

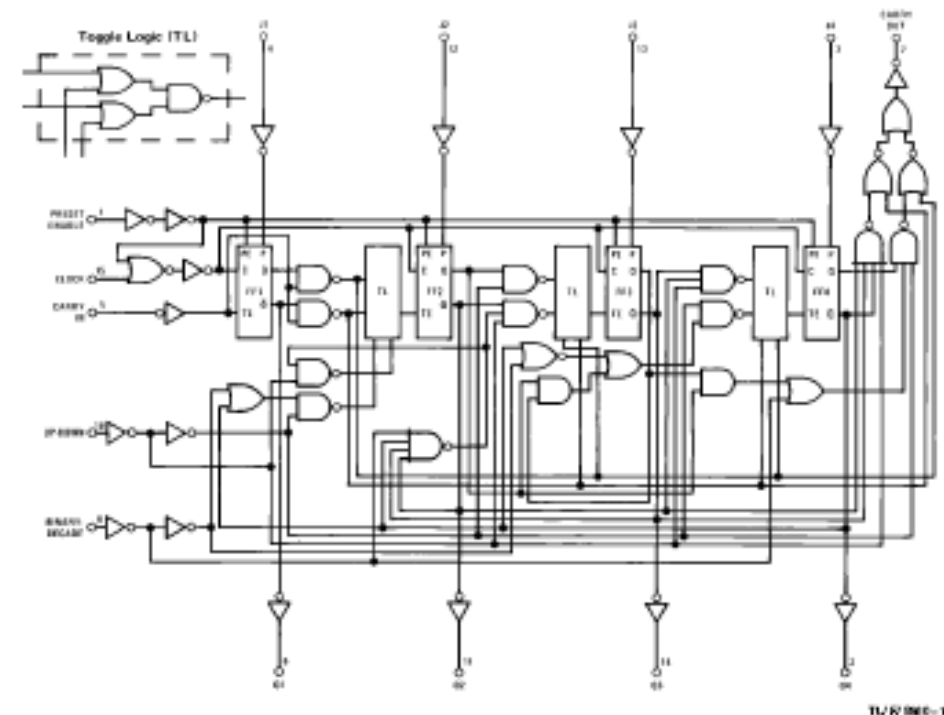
count in the "up" mode or the minimum count in the "down" mode provided the carry input is at logical "0" state.

All inputs are protected against static discharge by diode clamps to both  $V_{DD}$  and  $V_{SS}$ .

### Features

- Wide supply voltage range 3V to 15V
- High noise immunity 0.45  $V_{DD}$  (typ)
- Low power fan out of 2
- TTL compatibility driving 74LS or 1 driving 74LS
- Parallel jam inputs
- Binary or BCD decade up/down counting

### Logic Diagram



## Absolute Maximum Ratings

(Notes 1 and 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

DC Supply Voltage ( $V_{DD}$ )	-0.5V to +18 V <sub>DD</sub>
Input Voltage ( $V_{IN}$ )	-0.5V to $V_{DD} + 0.5 V_{DD}$
Storage Temperature Range ( $T_S$ )	-65°C to +150°C
Power Dissipation ( $P_D$ )	
Duck-In-Line	700 mW
Small Outline	500 mW
Lead Temperature ( $T_L$ ) (Soldering, 10 seconds)	260°C

## Recommended Operating Conditions (Note 2)

DC Supply Voltage ( $V_{DD}$ )	3V to 15 V <sub>DD</sub>
Input Voltage ( $V_{IN}$ )	0V to $V_{DD}$ V <sub>DD</sub>
Operating Temperature Range ( $T_A$ )	
CD40298M	-55°C to +125°C
CD40298C	-40°C to +85°C

## DC Electrical Characteristics CD40298M (Note 2)

Symbol	Parameter	Conditions	-55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
$I_{DD}$	Quiescent Device Current	$V_{DD} = 5V$		5			5	5	150	$\mu A$
		$V_{DD} = 10V$		10			10		300	$\mu A$
		$V_{DD} = 15V$		20			20		600	$\mu A$
$V_{OL}$	Low Level Output Voltage	$ I_{OL}  < 1 \mu A$								
		$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
$V_{OH}$	High Level Output Voltage	$ I_{OL}  < 1 \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
$V_{IL}$	Low Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD} = 10V, V_O = 1V$ or $9V$		3.0			3.0		3.0	V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$		4.0			4.0		4.0	V
$V_{IH}$	High Level Input Voltage	$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$	3.5		3.5			3.5		V
		$V_{DD} = 10V, V_O = 1V$ or $9V$	7.0		7.0			7.0		V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$	11.0		11.0			11.0		V
$I_{OL}$	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.84		0.91	0.88		0.98		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.8		1.3	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	4.2		3.4	8.8		2.4		mA
$I_{OH}$	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	-0.84		-0.91	-0.88		-0.98		mA
		$V_{DD} = 10V, V_O = 9.5V$	-1.8		-1.3	-2.25		-0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	-4.2		-3.4	-8.8		-2.4		mA
$I_{IN}$	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		-0.1		-10 <sup>-5</sup>		-0.1		$\mu A$
		$V_{DD} = 15V, V_{IN} = 15V$		0.1		10 <sup>-5</sup>		0.1		$\mu A$

## DC Electrical Characteristics CD40298C (Note 2)

Symbol	Parameter	Conditions	-40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
$I_{DD}$	Quiescent Device Current	$V_{DD} = 5V$		20			20		150	$\mu A$
		$V_{DD} = 10V$		40			40		300	$\mu A$
		$V_{DD} = 15V$		80			80		600	$\mu A$
$V_{OL}$	Low Level Output Voltage	$ I_{OL}  < 1 \mu A$								
		$V_{DD} = 5V$		0.05		0	0.05		0.05	V
		$V_{DD} = 10V$		0.05		0	0.05		0.05	V
$V_{OH}$	High Level Output Voltage	$ I_{OL}  < 1 \mu A$								
		$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
$V_{DD} = 15V$		14.95		14.95	15		14.95		V	

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2:  $V_{DD} = 0V$  unless otherwise specified.

Note 3:  $I_{O1}$  and  $I_{O2}$  are tested one output at a time.

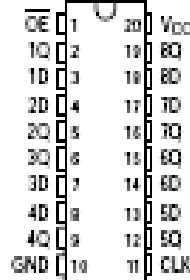
**ANEXO C.** Hoja de especificaciones del circuito integrado SN74HC374.

## SN54HC374, SN74HC374 OCTAL EDGE-TRIGGERED D-TYPE FLIP-FLOPS WITH 3-STATE OUTPUTS

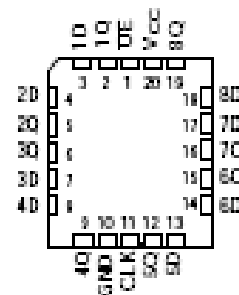
SLS141D – DECEMBER 1983 – REVISED DECEMBER 2002

- Wide Operating Voltage Range of 2 V to 6 V
- High-Current 3-State True Outputs Can Drive Up To 15 LSTTL Loads
- Eight D-Type Flip-Flops in a Single Package
- Full Parallel Access for Loading
- Low Power Consumption, 80- $\mu$ A Max  $I_{CC}$
- Typical  $t_{pd}$  = 14 ns
- $\pm 6$ -mA Output Drive at 5 V
- Low Input Current of 1  $\mu$ A Max

SN54HC374 ... J OR W PACKAGE  
SN74HC374 ... DG, DW, N, NS, OR PW PACKAGE  
(TOP VIEW)



SN54HC374 ... FK PACKAGE  
(TOP VIEW)



### description/ordering information

These 8-bit flip-flops feature 3-state outputs designed specifically for driving highly capacitive or relatively low-impedance loads. They are particularly suitable for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight flip-flops of the 'HC374 devices are edge-triggered D-type flip-flops. On the positive transition of the clock (CLK) input, the Q outputs are set to the logic levels that were set up at the data (D) inputs.

An output-enable ( $\overline{OE}$ ) input places the eight outputs in either a normal logic state (high or low logic levels) or the high-impedance state. In the high-impedance state, the outputs neither load nor drive the bus lines significantly. The high-impedance state and increased drive provide the capability to drive bus lines without interface or pullup components.

### ORDERING INFORMATION

$T_A$	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
-40°C to 85°C	PDP† - N	Tube	SN74HC374N	SN74HC374N
	SDC - DW	Tube	SN74HC374DW	HC374
		Tape and reel	SN74HC374DWR	
	SDP - NS	Tape and reel	SN74HC374NSR	HC374
	SSDP - DB	Tape and reel	SN74HC374DBR	HC374
TSSDP - FW	Tape and reel	SN74HC374FWR	HC374	
-55°C to 125°C	ODP† - J	Tube	SN54HC374J	SN54HC374J
	OP† - W	Tube	SN54HC374W	SN54HC374W
	LOCC† - FK	Tube	SN54HC374FK	SN54HC374FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at [www.ti.com/package](http://www.ti.com/package).



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTS DATA SHEET: This document is property of Texas Instruments. It is intended for use only by the individual user and is not to be distributed, copied, or otherwise used without the written consent of Texas Instruments.



POST OFFICE BOX 655568 • DALLAS, TEXAS 75265

Copyright © 2002, Texas Instruments Incorporated. All rights reserved. This document is the property of Texas Instruments. It is intended for use only by the individual user and is not to be distributed, copied, or otherwise used without the written consent of Texas Instruments.

**SN54HC374, SN74HC374**  
**OCTAL EDGE-TRIGGERED D-TYPE FLIP-FLOPS**  
**WITH 3-STATE OUTPUTS**

SOL5141D – DECEMBER 1992 – REVISED DECEMBER 2012

**description/ordering information (continued)**

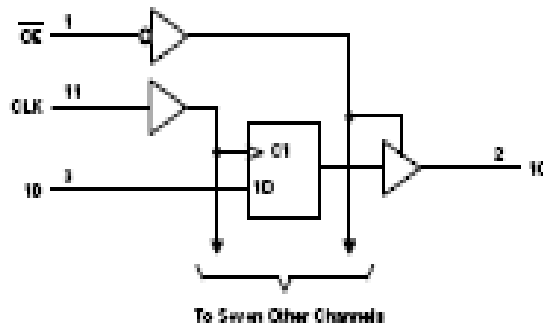
$\overline{OE}$  does not affect the internal operations of the flip-flops. Old data can be retained or new data can be entered while the outputs are in the high-impedance state.

To ensure the high-impedance state during power up or power down,  $\overline{OE}$  should be tied to  $V_{CC}$  through a pullup resistor; the minimum value of the resistor is determined by the current-sinking capability of the driver.

**FUNCTION TABLE**  
(each flip-flop)

INPUTS			OUTPUT
$\overline{OE}$	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	H or L	X	$Q_D$
H	X	X	Z

**logic diagram (positive logic)**



**absolute maximum ratings over operating free-air temperature range (unless otherwise noted)<sup>†</sup>**

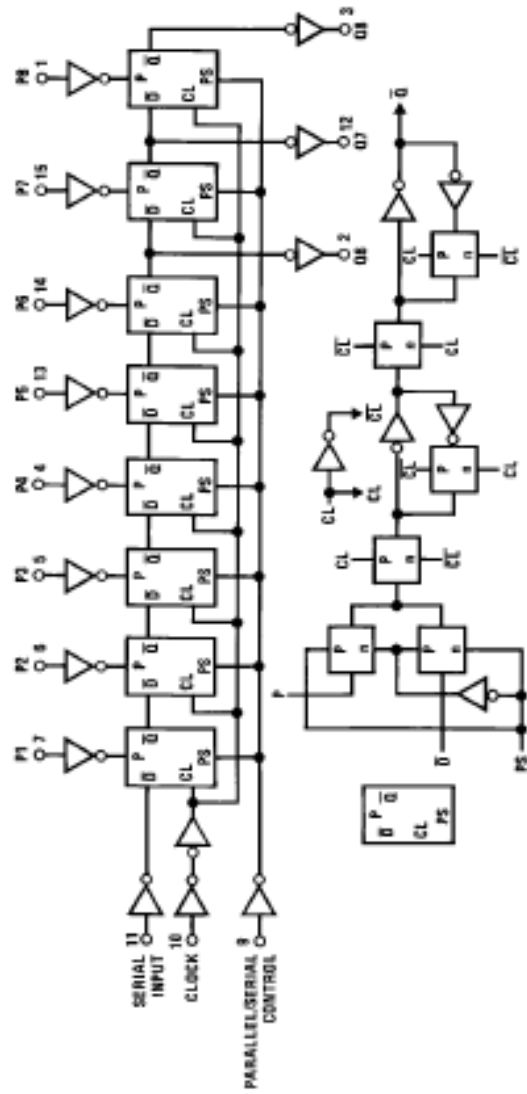
Supply voltage range, $V_{CC}$ .....	-0.5 V to 7 V
Input clamp current, $I_{IK}$ ( $V_I < 0$ or $V_I > V_{CC}$ ) (see Note 1) .....	±20 mA
Output clamp current, $I_{OK}$ ( $V_O < 0$ or $V_O > V_{CC}$ ) (see Note 1) .....	±20 mA
Continuous output current, $I_O$ ( $V_O = 0$ to $V_{CC}$ ) .....	±35 mA
Continuous current through $V_{CC}$ or GND .....	±70 mA
Package thermal impedance, $\theta_{JA}$ (see Note 2):	
DB package .....	70°C/W
DW package .....	58°C/W
N package .....	69°C/W
NS package .....	60°C/W
PW package .....	83°C/W
Storage temperature range, $T_{STG}$ .....	-65°C to 150°C

<sup>†</sup> Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

- NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.  
 2. The package thermal impedance is calculated in accordance with JEDEC 51-7.

**ANEXO D.** Hojas de especificaciones del circuito integrado 4014

Logic Diagram



**Absolute Maximum Ratings** (Note 2)

(Note 3)

Supply Voltage ( $V_{DD}$ )	-0.5V to +18V
Input Voltage ( $V_{IH}$ )	-0.5 to $V_{DD} + 0.5V$
Storage Temperature Range ( $T_S$ )	-65°C to +150°C
Power Dissipation ( $P_D$ )	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature ( $T_L$ )	
(Soldering, 10 seconds)	260°C

**Recommended Operating Conditions** (Note 3)

Supply Voltage ( $V_{DD}$ )	3.0V to 15V
Input Voltage ( $V_{IH}$ )	0 to $V_{DD}$
Operating Temperature Range ( $T_A$ )	-40°C to +85°C

Note 2: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the device should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 3:  $V_{DD} = 0V$  unless otherwise specified.

**DC Electrical Characteristics** (Note 3)

Symbol	Parameter	Conditions	-40°C		-25°C			+25°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
$I_{DD}$	Quiescent Device Current	$V_{DD} = 5V, V_{IH} = V_{DD}$ or $V_{DD}$		20		0.1	30		150	$\mu A$
		$V_{DD} = 10V, V_{IH} = V_{DD}$ or $V_{DD}$		40		0.2	40		300	$\mu A$
		$V_{DD} = 15V, V_{IH} = V_{DD}$ or $V_{DD}$		60		0.3	60		600	$\mu A$
$V_{OL}$	LOW Level Output Voltage	$V_{DD} = 5V$		0.06		0	0.05		0.05	V
		$V_{DD} = 10V$		0.06		0	0.05		0.05	V
		$V_{DD} = 15V$		0.06		0	0.05		0.05	V
$V_{OH}$	HIGH Level Output Voltage	$V_{DD} = 5V$	4.95		4.95	5		4.95		V
		$V_{DD} = 10V$	9.95		9.95	10		9.95		V
		$V_{DD} = 15V$	14.95		14.95	15		14.95		V
$V_{IL}$	LOW Level Input Voltage	$V_{DD} = 5V, V_{IO} = 0.5V$ or $4.5V$		1.5		2	1.5		1.5	V
		$V_{DD} = 10V, V_{IO} = 1.0V$ or $9.0V$		3.0		4	3.0		3.0	V
		$V_{DD} = 15V, V_{IO} = 1.5V$ or $13.5V$		4.0		6	4.0		4.0	V
$V_{IH}$	HIGH Level Input Voltage	$V_{DD} = 5V, V_{IO} = 0.5V$ or $4.5V$	3.5		3.5	3		3.5		V
		$V_{DD} = 10V, V_{IO} = 1.0V$ or $9.0V$	7.0		7.0	6		7.0		V
		$V_{DD} = 15V, V_{IO} = 1.5V$ or $13.5V$	11.0		11.0	9		11.0		V
$I_{OL}$	LOW Level Output Current (Note 4)	$V_{DD} = 5V, V_{IO} = 0.4V$	0.52		0.44	0.68		0.36		mA
		$V_{DD} = 10V, V_{IO} = 0.5V$	1.3		1.1	2.2		0.9		mA
		$V_{DD} = 15V, V_{IO} = 1.5V$	3.6		3.0	9		2.4		mA
$I_{OH}$	HIGH Level Output Current (Note 4)	$V_{DD} = 5V, V_{IO} = 4.8V$	-0.52		-0.44	-0.68		-0.36		mA
		$V_{DD} = 10V, V_{IO} = 9.5V$	-1.3		-1.1	-2.2		-0.90		mA
		$V_{DD} = 15V, V_{IO} = 13.5V$	-3.6		-3.0	-9		-2.4		mA
$I_{BI}$	Input Current	$V_{DD} = 15V, V_{IH} = 0V$		-0.3		$-10^{-8}$	-0.3		-1.0	$\mu A$
		$V_{DD} = 15V, V_{IH} = 15V$		0.3		$10^{-8}$	0.3		1.0	$\mu A$

Note 4:  $I_{OL}$  and  $I_{OH}$  are limited one output at a time.

**ANEXO E.** Hojas de especificaciones del circuito integrado XR-2206.



# XR-2206

Monolithic  
Function Generator

June 1997-3

## FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

## APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

## GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

## ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

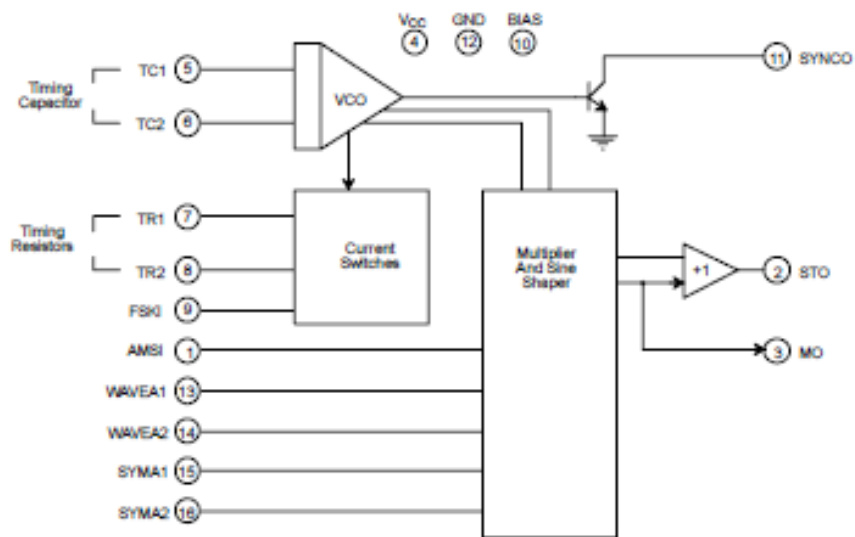
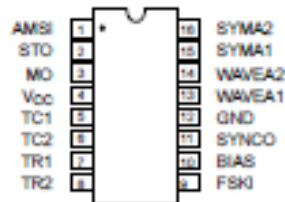
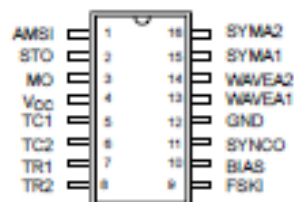


Figure 1. XR-2206 Block Diagram


**16 Lead PDIP, CDIP (0.300")**

**16 Lead SOIC (Jedec, 0.300")**
**PIN DESCRIPTION**

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V <sub>CC</sub>		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Syno Output. This output is a open collector and needs a pull up resistor to V <sub>CC</sub> .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

## DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 2  $V_{CC} = 12V$ ,  $T_A = 25^\circ C$ ,  $C = 0.01\mu F$ ,  $R_1 = 100k\Omega$ ,  $R_2 = 10k\Omega$ ,  $R_3 = 25k\Omega$   
 Unless Otherwise Specified.  $S_1$  open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
<b>General Characteristics</b>								
Single Supply Voltage	10		28	10		28	V	
Split-Supply Voltage	$\pm 6$		$\pm 18$	$\pm 5$		$\pm 13$	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
<b>Oscillator Section</b>								
Max. Operating Frequency	0.6	1		0.5	1		MHz	$C = 1000pF$ , $R_1 = 1k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\mu F$ , $R_1 = 2M\Omega$
Frequency Accuracy		$\pm 1$	$\pm 4$		$\pm 2$		% of $f_0$	$f_0 = 1/R_1 C$
Temperature Stability Frequency		$\pm 10$	$\pm 60$		$\pm 20$		ppm/ $^\circ C$	$0^\circ C \leq T_A \leq 70^\circ C$ $R_1 = R_2 = 20k\Omega$
Sine Wave Amplitude Stability <sup>2</sup>		4800			4800		ppm/ $^\circ C$	
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{Low} = 10V$ , $V_{High} = 20V$ , $R_1 = R_2 = 20k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H @ R_1 = 1k\Omega$ $f_L @ R_1 = 2M\Omega$
<b>Sweep Linearity</b>								
10:1 Sweep		2			2		%	$f_L = 1kHz$ , $f_H = 10kHz$
1000:1 Sweep		8			8		%	$f_L = 100Hz$ , $f_H = 100kHz$
FM Distortion		0.1			0.1		%	$\pm 10\%$ Deviation
<b>Recommended Timing Components</b>								
Timing Capacitor: C	0.001		100	0.001		100	$\mu F$	Figure 5
Timing Resistors: $R_1$ & $R_2$	1		2000	1		2000	k $\Omega$	
<b>Triangle Sine Wave Output<sup>1</sup></b>								Figure 3
Triangle Amplitude		160			160		mV/k $\Omega$	Figure 2, $S_1$ Open
Sine Wave Amplitude	40	60	80		60		mV/k $\Omega$	Figure 2, $S_1$ Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		$\Omega$	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
<b>Sine Wave Distortion</b>								
Without Adjustment		2.5			2.5		%	$R_1 = 30k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figure 7 and Figure 8

**Notes**

<sup>1</sup> Output amplitude is directly proportional to the resistance,  $R_3$ , on Pin 3. See Figure 3.

<sup>2</sup> For maximum amplitude stability,  $R_3$  should be a positive temperature coefficient resistor.

**Bold face parameters are covered by production test and guaranteed over operating temperature range.**

**DC ELECTRICAL CHARACTERISTICS (CONT'D)**

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
<b>Amplitude Modulation</b>								
Input Impedance	50	100		50	100		k $\Omega$	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
<b>Square-Wave Output</b>								
Amplitude		12			12		V <sub>p-p</sub>	Measured at Pin 11.
Rise Time		250			250		ns	C <sub>L</sub> = 10pF
Fall Time		50			50		ns	C <sub>L</sub> = 10pF
Saturation Voltage		0.2	0.4		0.2	0.6	V	I <sub>L</sub> = 2mA
Leakage Current		0.1	20		0.1	100	$\mu$ A	V <sub>CC</sub> = 26V
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

**Notes**
<sup>1</sup> Output amplitude is directly proportional to the resistance, R<sub>3</sub>, on Pin 3. See Figure 3.

<sup>2</sup> For maximum amplitude stability, R<sub>3</sub> should be a positive temperature coefficient resistor.

**Bold face parameters are covered by production test and guaranteed over operating temperature range.**

Specifications are subject to change without notice

**ABSOLUTE MAXIMUM RATINGS**

Power Supply .....	26V	Total Timing Current .....	6mA
Power Dissipation .....	750mW	Storage Temperature .....	-65°C to +150°C
Derate Above 25°C .....	5mW/°C		

**SYSTEM DESCRIPTION**

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier, and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing

terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

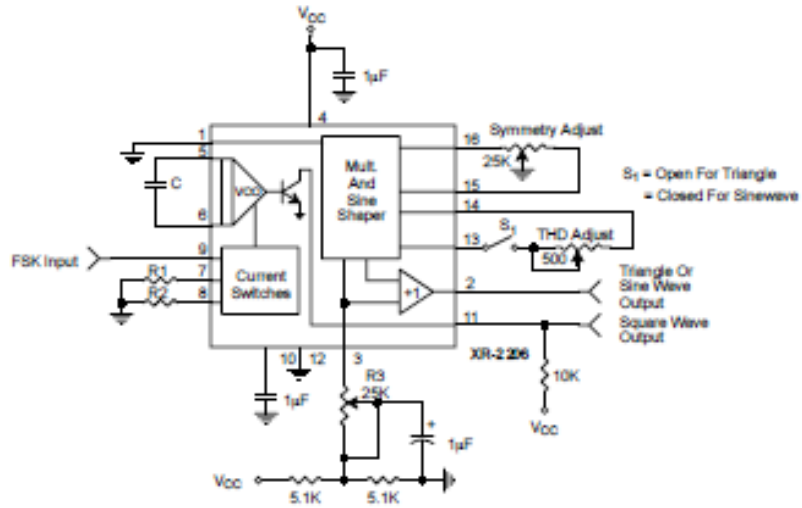


Figure 2. Basic Test Circuit

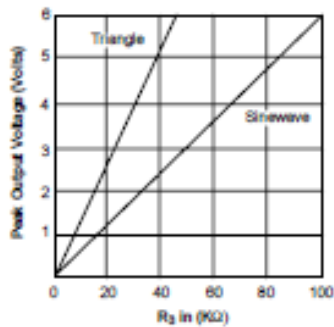


Figure 3. Output Amplitude as a Function of the Resistor, R<sub>3</sub>, at Pin 3

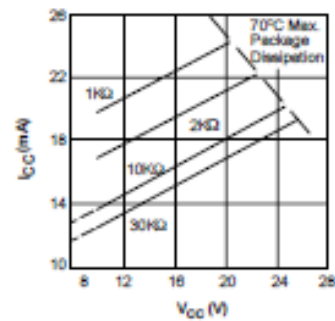


Figure 4. Supply Current vs Supply Voltage, Timing, R

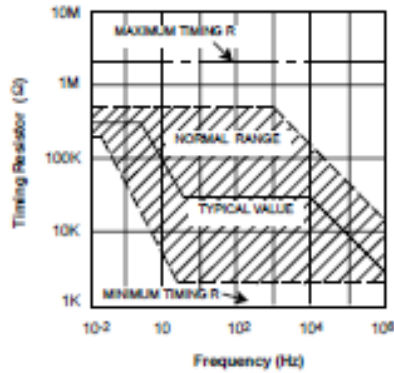


Figure 5. R versus Oscillation Frequency.

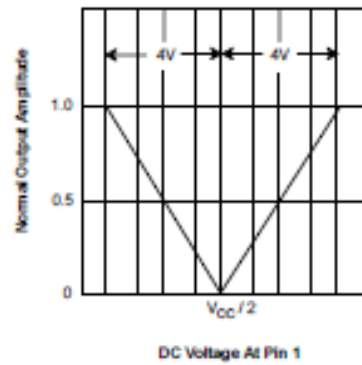


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

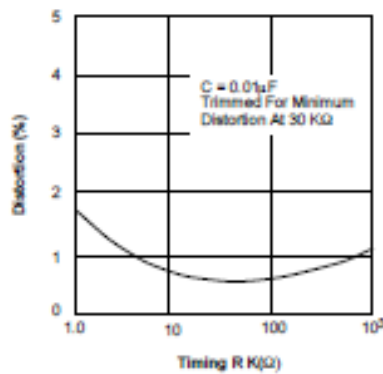


Figure 7. Trimmed Distortion versus Timing Resistor.

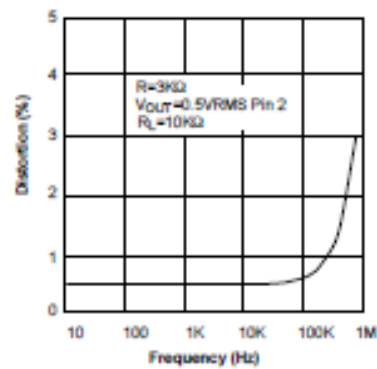


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

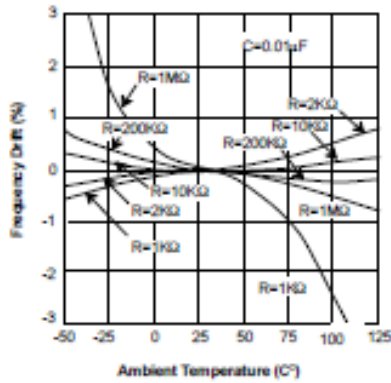


Figure 9. Frequency Drift versus Temperature.

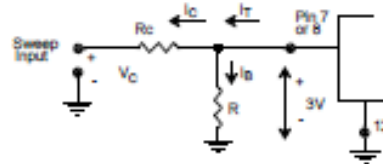


Figure 10. Circuit Connection for Frequency Sweep.

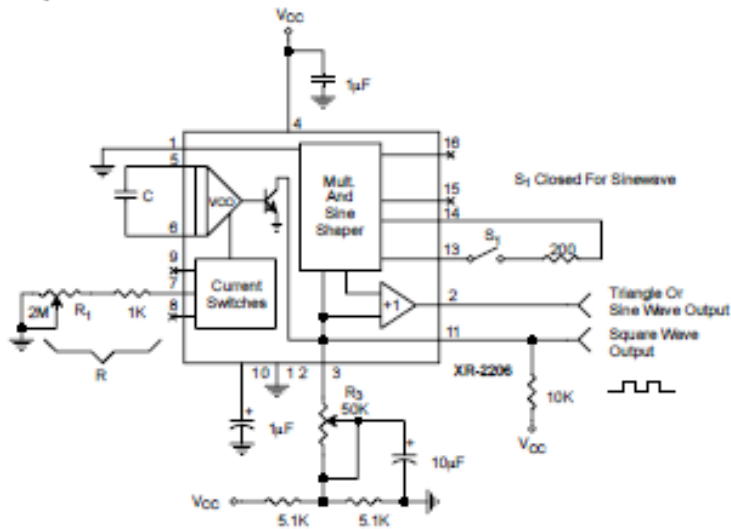


Figure 11. Circuit for Sine Wave Generation without External Adjustment.  
(See Figure 3 for Choice of  $R_3$ )

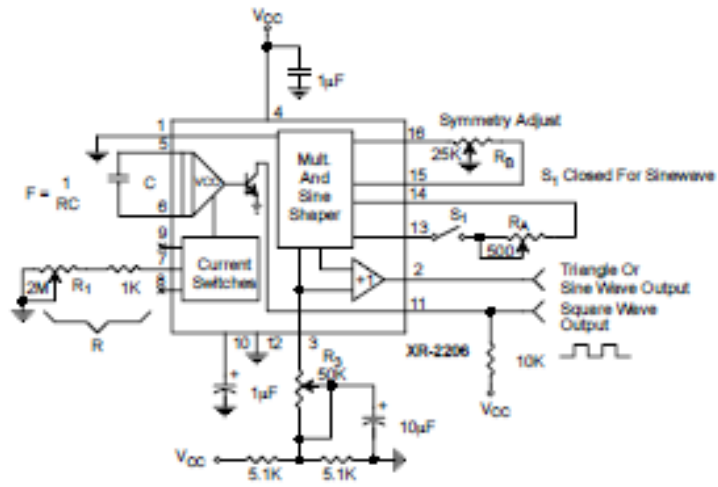


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion.  
( $R_3$  Determines Output Swing - See Figure 3)

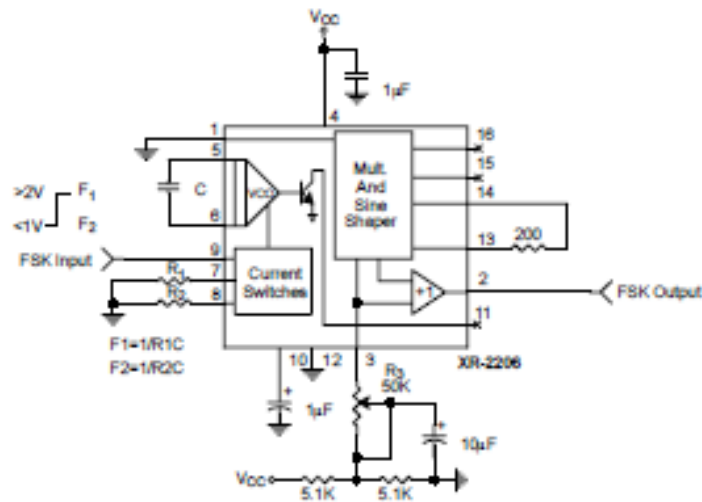


Figure 13. Sinusoidal FSK Generator

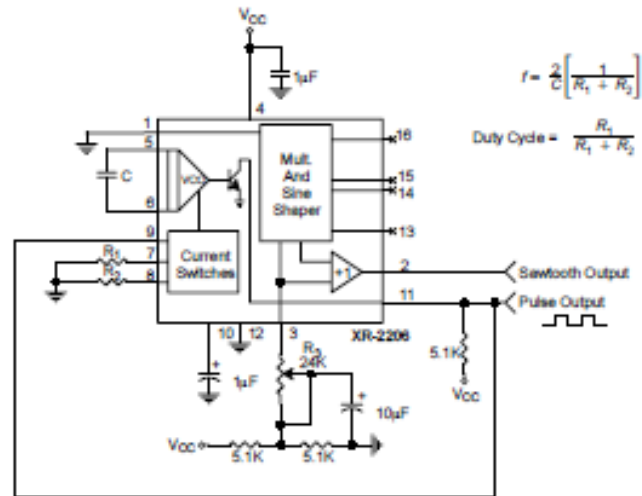


Figure 14. Circuit for Pulse and Ramp Generation.

### Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors,  $R_1$  and  $R_2$ , connected to the timing Pin 7 and 8, respectively, as shown in Figure 13. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage  $\geq 2V$ , only  $R_1$  is activated. Similarly, if the voltage level at Pin 9 is  $\leq 1V$ , only  $R_2$  is activated. Thus, the output frequency can be keyed between two levels,  $f_1$  and  $f_2$ , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to  $V^-$ .

### Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figure 11, Figure 12 and Figure 13, Pin 3 is biased midway between  $V^+$  and ground, to give an output dc level of  $\sim V^+/2$ .

### APPLICATIONS INFORMATION

#### Sine Wave Generation

##### Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer,  $R_1$  at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than  $V^+/2$ , and the typical distortion (THD) is  $< 2.5\%$ . If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 11 can be converted to split-supply operation, simply by replacing all ground connections with  $V^-$ . For split-supply operation,  $R_3$  can be directly connected to ground.

**With External Adjustment:**

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in Figure 12. The potentiometer,  $R_A$ , adjusts the sine-shaping resistor, and  $R_B$  provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set  $R_B$  at midpoint and adjust  $R_A$  for minimum distortion.
2. With  $R_A$  set as above, adjust  $R_B$  to further reduce distortion.

**Triangle Wave Generation**

The circuits of Figure 11 and Figure 12 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e.,  $S_1$  open). Amplitude of the triangle is approximately twice the sine wave output.

**FSK Generation**

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors,  $R_1$  and  $R_2$ ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with  $V^-$ .

**Pulse and Ramp Generation**

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of  $R_1$  and  $R_2$ . The values of  $R_1$  and  $R_2$  should be in the range of 1k $\Omega$  to 2M $\Omega$ .

**PRINCIPLES OF OPERATION****Description of Controls****Frequency of Operation:**

The frequency of oscillation,  $f_o$ , is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, as shown in Figure 5. Temperature stability is optimum for 4k $\Omega$  < R < 200k $\Omega$ . Recommended values of C are from 1000pF to 100 $\mu$ F.

**Frequency Sweep and Modulation:**

Frequency of oscillation is proportional to the total timing current,  $I_T$ , drawn from Pin 7 or 8:

$$f = \frac{320 I_T (\text{mA})}{C (\mu\text{F})} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with  $I_T$ , over a wide range of current values, from 1 $\mu$ A to 3mA. The frequency can be controlled by applying a control voltage,  $V_C$ , to the activated timing pin as shown in Figure 10. The frequency of oscillation is related to  $V_C$  as:

$$f = \frac{1}{RC} \left( 1 + \frac{R}{R_C} \left( 1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where  $V_C$  is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

**CAUTION:** For safety operation of the circuit,  $I_T$  should be limited to  $\leq$  3mA.

### Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor,  $R_3$ , connected to Pin 3 (see Figure 3). For sine wave output, amplitude is approximately 60mV peak per k $\Omega$  of  $R_3$ ; for triangle, the peak amplitude is approximately 160mV peak per k $\Omega$  of  $R_3$ . Thus, for example,  $R_3 = 50k\Omega$  would produce approximately 13V sinusoidal output amplitude.

### Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance

at Pin 1 is approximately 100k $\Omega$ . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of  $V_{CC}/2$  as shown in Figure 6. As this bias level approaches  $V_{CC}/2$ , the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

**CAUTION:** AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of  $V_{CC}$ .

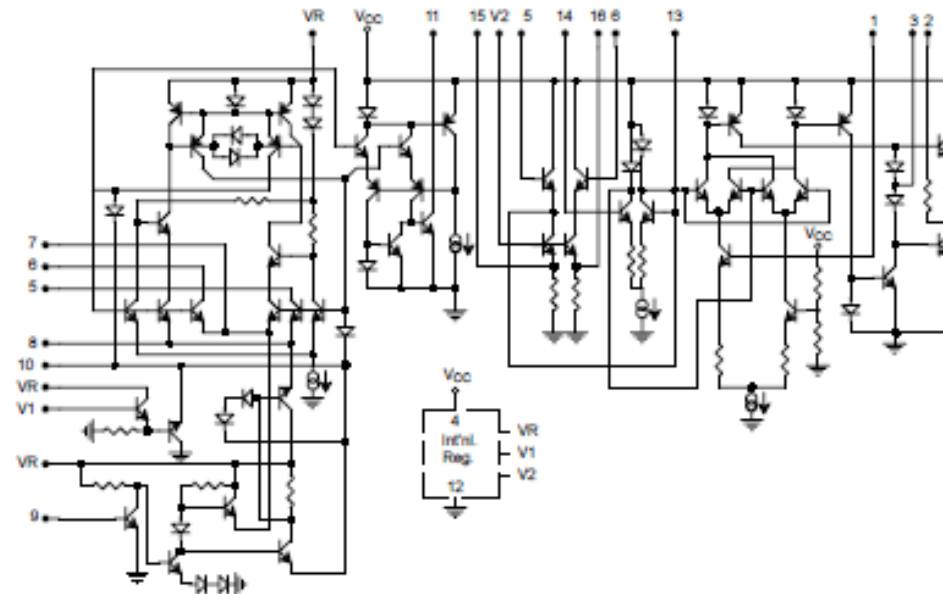
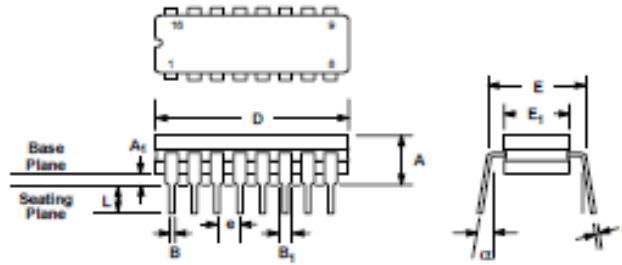


Figure 15. Equivalent Schematic Diagram

**16 LEAD CERAMIC DUAL-IN-LINE  
(300 MIL CDIP)**

*Rev. 1.00*

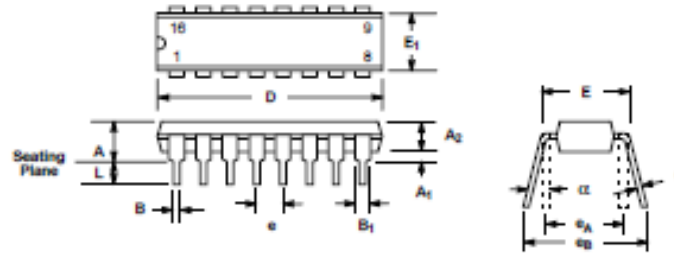


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A <sub>1</sub>	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B <sub>1</sub>	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E <sub>1</sub>	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

*Note: The control dimension is the inch column*

16 LEAD PLASTIC DUAL-IN-LINE  
(300 MIL PDIP)

Rev. 1.00

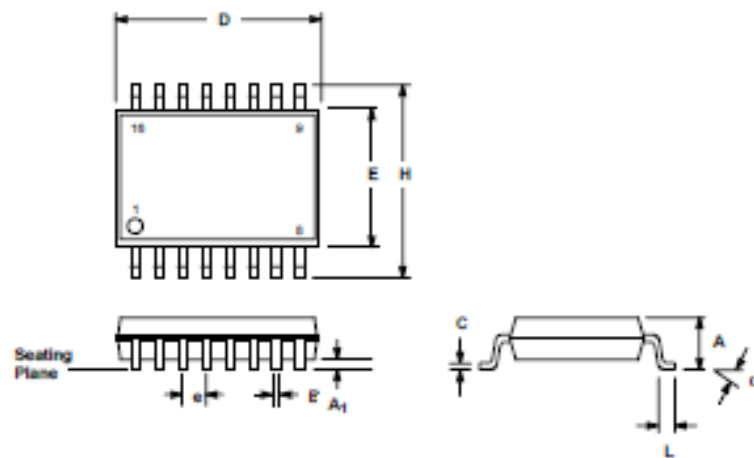


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A <sub>1</sub>	0.015	0.070	0.38	1.78
A <sub>2</sub>	0.115	0.195	2.92	4.95
B	0.014	0.024	0.35	0.56
B <sub>1</sub>	0.030	0.070	0.76	1.78
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.28
E <sub>1</sub>	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e <sub>A</sub>	0.300 BSC		7.62 BSC	
e <sub>B</sub>	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0° 15°		0° 15°	

Note: The control dimension is the inch column

16 LEAD SMALL OUTLINE  
(300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.003	0.104	2.95	2.65
A <sub>1</sub>	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.308	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.018	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

**NOTICE**

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked, no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation

Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.



## XR-2211

FSK Demodulator/  
Tone Decoder

June 1997-3

### FEATURES

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range,  $\pm 1\%$  to 80%
- Excellent Temp. Stability,  $\pm 50$ ppm $^{\circ}\text{C}$ , max.

### APPLICATIONS

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

### GENERAL DESCRIPTION

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a

quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

### ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55 $^{\circ}\text{C}$ to +125 $^{\circ}\text{C}$
XR-2211N	14 Pin CDIP (0.300")	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$
XR-2211P	14 Pin PDIP (0.300")	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$
XR-2211D	14 Lead SOIC (Jedec, 0.150")	-40 $^{\circ}\text{C}$ to +85 $^{\circ}\text{C}$

Rev. 3.01

© 1992

EXAR Corporation, 48720 Kato Road, Fremont, CA 94538 ♦ (510) 668-7000 ♦ FAX (510) 668-7017



**ANEXO F.** Hojas de especificaciones del circuito integrado XR-2211.

**FEATURES**

- Wide Frequency Range, 0.01Hz to 300kHz
- Wide Supply Voltage Range, 4.5V to 20V
- HCMOS/TTL/Logic Compatibility
- FSK Demodulation, with Carrier Detection
- Wide Dynamic Range, 10mV to 3V rms
- Adjustable Tracking Range,  $\pm 1\%$  to 80%
- Excellent Temp. Stability,  $\pm 50\text{ppm}^\circ\text{C}$ , max.

**APPLICATIONS**

- Caller Identification Delivery
- FSK Demodulation
- Data Synchronization
- Tone Decoding
- FM Detection
- Carrier Detection

**GENERAL DESCRIPTION**

The XR-2211 is a monolithic phase-locked loop (PLL) system especially designed for data communications applications. It is particularly suited for FSK modem applications. It operates over a wide supply voltage range of 4.5 to 20V and a wide frequency range of 0.01Hz to 300kHz. It can accommodate analog signals between 10mV and 3V, and can interface with conventional DTL, TTL, and ECL logic families. The circuit consists of a basic PLL for tracking an input signal within the pass band, a

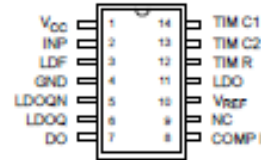
quadrature phase detector which provides carrier detection, and an FSK voltage comparator which provides FSK demodulation. External components are used to independently set center frequency, bandwidth, and output delay. An internal voltage reference proportional to the power supply is provided at an output pin.

The XR-2211 is available in 14 pin packages specified for military and industrial temperature ranges.

**ORDERING INFORMATION**

Part No.	Package	Operating Temperature Range
XR-2211M	14 Pin CDIP (0.300")	-55°C to +125°C
XR-2211N	14 Pin CDIP (0.300")	-40°C to +85°C
XR-2211P	14 Pin PDIP (0.300")	-40°C to +85°C
XR-2211ID	14 Lead SOIC (Jedec, 0.150")	-40°C to +85°C

**PIN CONFIGURATION**

**14 Lead CDIP, PDIP (0.300")**

**14 Lead SOIC (Jedec, 0.150")**
**PIN DESCRIPTION**

Pin #	Symbol	Type	Description
1	V <sub>CC</sub>		Positive Power Supply.
2	INP	I	Receive Analog Input.
3	LDF	O	Look Detect Filter.
4	GND		Ground Pin.
5	LDOQN	O	Look Detect Output Not. This output will be low if the VCO is in the capture range.
6	LDOQ	O	Look Detect Output. This output will be high if the VCO is in the capture range.
7	DO	O	Data Output. Decoded FSK output.
8	COMP I	I	FSK Comparator Input.
9	NC		Not Connected.
10	V <sub>REF</sub>	O	Internal Voltage Reference. The value of V <sub>REF</sub> is V <sub>CC</sub> /2 - 650mV.
11	LDO	O	Loop Detect Output. This output provides the result of the quadrature phase detection.
12	TIM R	I	Timing Resistor Input. This pin connects to the timing resistor of the VCO.
13	TIM C2	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 14.
14	TIM C1	I	Timing Capacitor Input. The timing capacitor connects between this pin and pin 13.

# XR-2211



## ELECTRICAL CHARACTERISTICS

Test Conditions:  $V_{CC} = 12V$ ,  $T_A = +25^\circ C$ ,  $R_O = 30K\Omega$ ,  $C_O = 0.033\mu F$ , unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
<b>General</b>					
Supply Voltage	4.6		20	V	
Supply Current		4	7	mA	$R_O \geq 10K\Omega$ . See Figure 4.
<b>Oscillator Section</b>					
Frequency Accuracy		$\pm 1$	$\pm 8$	%	Deviation from $f_O = 1/R_O C_O$
Frequency Stability					
Temperature		$\pm 20$	$\pm 50$	ppm/ $^\circ C$	See Figure 8.
Power Supply		0.05	0.6	%/V	$V_{CC} = 12 \pm 1V$ . See Figure 7.
		0.2		%/V	$V_{CC} = \pm 5V$ . See Figure 7.
Upper Frequency Limit	100	300		kHz	$R_O = 8.2K\Omega$ , $C_O = 400pF$
Lowest Practical Operating Frequency			0.01	Hz	$R_O = 2M\Omega$ , $C_O = 50\mu F$
Timing Resistor, $R_O$ - See Figure 5					
Operating Range	6		2000	K $\Omega$	
Recommended Range	5			K $\Omega$	See Figure 7 and Figure 8.
<b>Loop Phase Detector Section</b>					
Peak Output Current	$\pm 160$	$\pm 200$	$\pm 300$	$\mu A$	Measured at Pin 11
Output Offset Current		1		$\mu A$	
Output Impedance		1		M $\Omega$	
Maximum Swing	$\pm 4$	$\pm 5$		V	Referenced to Pin 10
<b>Quadrature Phase Detector</b> Measured at Pin 3					
Peak Output Current	100	300		$\mu A$	
Output Impedance		1		M $\Omega$	
Maximum Swing		11		V <sub>pp</sub>	
<b>Input Preempt Section</b> Measured at Pin 2					
Input Impedance		20		K $\Omega$	
Input Signal					
Voltage Required to Cause Limiting		2	10	mV rms	

### Notes

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production. Bold face parameters are covered by production test and guaranteed over operating temperature range.

**DC ELECTRICAL CHARACTERISTICS (CONT'D)**

 Test Conditions:  $V_{CC} = 12V$ ,  $T_A = +25^\circ C$ ,  $R_D = 80K\Omega$ ,  $C_D = 0.033\mu F$ , unless otherwise specified.

Parameter	Min.	Typ.	Max.	Unit	Conditions
<b>Voltage Comparator Section</b>					
Input Impedance		2		M $\Omega$	Measured at Pins 3 and 8
Input Bias Current		100		nA	
Voltage Gain	55	70		dB	$R_L = 5.1K\Omega$
Output Voltage Low		300	600	mV	$I_C = 3mA$
Output Leakage Current		0.01	10	$\mu A$	$V_O = 20V$
<b>Internal Reference</b>					
Voltage Level	4.8	5.3	6.7	V	Measured at Pin 10
Output Impedance		100		$\Omega$	AC Small Signal
Maximum Source Current		80		$\mu A$	

**Notes**

Parameters are guaranteed over the recommended operating conditions, but are not 100% tested in production. **Bold face parameters** are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

**ABSOLUTE MAXIMUM RATINGS**

Power Supply ..... 20V  
 Input Signal Level ..... 3V rms  
 Power Dissipation ..... 900mW

**Package Power Dissipation Ratings**  
 CDIP ..... 750mW  
     Derate Above  $T_A = 25^\circ C$  ..... 8mW/ $^\circ C$   
 PDIP ..... 800mW  
     Derate Above  $T_A = 25^\circ C$  ..... 60mW/ $^\circ C$   
 SOIC ..... 390mW  
     Derate Above  $T_A = 25^\circ C$  ..... 5mW/ $^\circ C$

**SYSTEM DESCRIPTION**

The main PLL within the XR-2211 is constructed from an input preamplifier, analog multiplier used as a phase detector and a precision voltage controlled oscillator (VCO). The preamplifier is used as a limiter such that input signals above typically 10mV rms are amplified to a constant high level signal. The multiplying-type phase detector acts as a digital exclusive or gate. Its output (unfiltered) produces sum and difference frequencies of the input and the VCO output. The VCO is actually a current controlled oscillator with its normal input current ( $I_O$ ) set by a resistor ( $R_O$ ) to ground and its driving current with a resistor ( $R_V$ ) from the phase detector.

The output of the phase detector produces sum and difference of the input and the VCO frequencies

(internally connected). When in lock, these frequencies are  $f_{IN} + f_{VCO}$  (2 times  $f_{IN}$  when in lock) and  $f_{IN} - f_{VCO}$  (0Hz when lock). By adding a capacitor to the phase detector output, the 2 times  $f_{IN}$  component is reduced, leaving a DC voltage that represents the phase difference between the two frequencies. This closes the loop and allows the VCO to track the input frequency.

The FSK comparator is used to determine if the VCO is driven above or below the center frequency (FSK comparator). This will produce both active high and active low outputs to indicate when the main PLL is in lock (quadrature phase detector and lock detector comparator).

## PRINCIPLES OF OPERATION

**Signal Input (Pin 2):** Signal is AC coupled to this terminal. The internal impedance at pin 2 is 20K $\Omega$ . Recommended input signal level is in the range of 10mV rms to 3V rms.

**Quadrature Phase Detector Output (Pin 3):** This is the high impedance output of quadrature phase detector and is internally connected to the input of lock detect voltage comparator. In tone detection applications, pin 3 is connected to ground through a parallel combination of R<sub>D</sub> and C<sub>D</sub> (see Figure 3) to eliminate the chatter at lock detect outputs. If the tone detect section is not used, pin 3 can be left open.

**Lock Detect Output, Q (Pin 6):** The output at pin 6 is at "low" state when the PLL is out of lock and goes to "high" state when the PLL is locked. It is an open collector type output and requires a pull-up resistor, R<sub>L</sub>, to V<sub>CC</sub> for proper operation. At "low" state, it can sink up to 5mA of load current.

**Lock Detect Complement, (Pin 5):** The output at pin 5 is the logic complement of the lock detect output at pin 6. This output is also an open collector type stage which can sink 5mA of load current at low or "on" state.

**FSK Data Output (Pin 7):** This output is an open collector logic stage which requires a pull-up resistor, R<sub>L</sub>, to V<sub>CC</sub> for proper operation. It can sink 5mA of load current. When decoding FSK signals, FSK data output is at "high" or "off" state for low input frequency, and at "low" or "on" state for high input frequency. If no input signal is present, the logic state at pin 7 is indeterminate.

**FSK Comparator Input (Pin 8):** This is the high impedance input to the FSK voltage comparator. Normally, an FSK post-detection or data filter is connected between this terminal and the PLL phase detector output (pin 11). This data filter is formed by R<sub>F</sub> and C<sub>F</sub> (see Figure 3.) The threshold voltage of the comparator is set by the internal reference voltage, V<sub>REF</sub>, available at pin 10.

**Reference Voltage, V<sub>REF</sub> (Pin 10):** This pin is internally biased at the reference voltage level, V<sub>REF</sub> = V<sub>REF</sub> = V<sub>CC</sub> / 2 = 650mV. The DC voltage level at this pin forms an internal reference for the voltage levels at pins 5, 6, 11 and 12. Pin

10 must be bypassed to ground with a 0.1 $\mu$ F capacitor for proper operation of the circuit.

**Loop Phase Detector Output (Pin 11):** This terminal provides a high impedance output for the loop phase detector. The PLL loop filter is formed by R<sub>1</sub> and C<sub>1</sub> connected to pin 11 (see Figure 3.) With no input signal, or with no phase error within the PLL, the DC level at pin 11 is very nearly equal to V<sub>REF</sub>. The peak to peak voltage swing available at the phase detector output is equal to 2 x V<sub>REF</sub>.

**VCO Control Input (Pin 12):** VCO free-running frequency is determined by external timing resistor, R<sub>0</sub>, connected from this terminal to ground. The VCO free-running frequency, f<sub>0</sub>, is:

$$f_0 = \frac{1}{R_0 C_0} \text{ Hz}$$

where C<sub>0</sub> is the timing capacitor across pins 13 and 14. For optimum temperature stability, R<sub>0</sub> must be in the range of 10K $\Omega$  to 100K $\Omega$  (see Figure 9.)

This terminal is a low impedance point, and is internally biased at a DC level equal to V<sub>REF</sub>. The maximum timing current drawn from pin 12 must be limited to  $\leq$  3mA for proper operation of the circuit.

**VCO Timing Capacitor (Pins 13 and 14):** VCO frequency is inversely proportional to the external timing capacitor, C<sub>0</sub>, connected across these terminals (see Figure 6.) C<sub>0</sub> must be non-polar, and in the range of 200pF to 10 $\mu$ F.

**VCO Frequency Adjustment:** VCO can be fine-tuned by connecting a potentiometer, R<sub>X</sub>, in series with R<sub>0</sub> at pin 12 (see Figure 10.)

**VCO Free-Running Frequency, f<sub>0</sub>:** XR-2211 does not have a separate VCO output terminal. Instead, the VCO outputs are internally connected to the phase detector sections of the circuit. For set-up or adjustment purposes, the VCO free-running frequency can be tuned by using the generalized circuit in Figure 3, and applying an alternating bit pattern of 0's and 1's at the known mark and space frequencies. By adjusting R<sub>0</sub>, the VCO can then be tuned to obtain a 50% duty cycle on the FSK output (pin 7). This will ensure that the VCO f<sub>0</sub> value is accurately referenced to the mark and space frequencies.

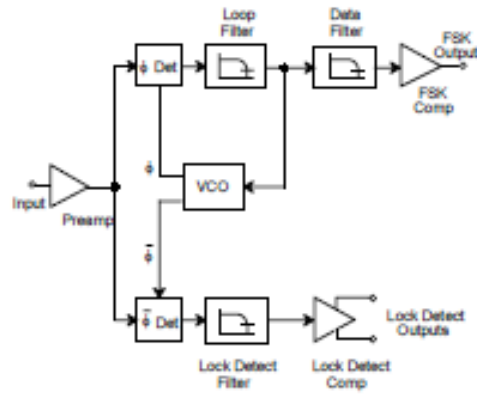


Figure 2. Functional Block Diagram of a Tone and FSK Decoding System Using XR-2211

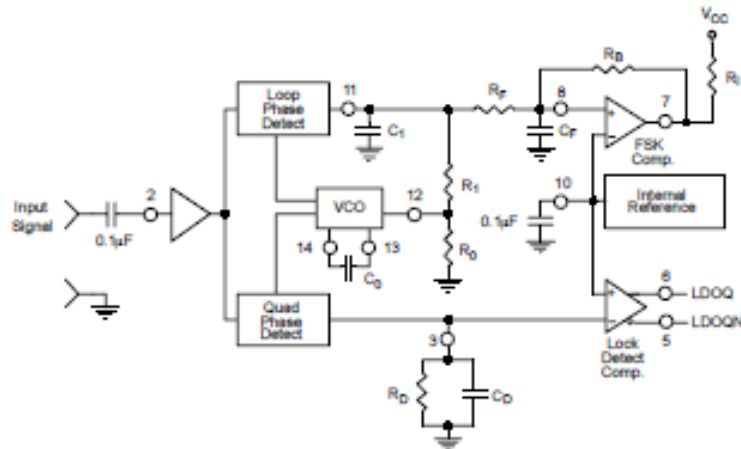


Figure 3. Generalized Circuit Connection for FSK and Tone Detection

## DESIGN EQUATIONS

(All resistance in  $\Omega$ , all frequency in Hz and all capacitance in farads, unless otherwise specified)  
 (See Figure 3 for definition of components)

1. VCO Center Frequency,  $f_0$ :

$$f_0 = \frac{1}{R_0 \cdot C_0}$$

2. Internal Reference Voltage,  $V_{REF}$  (measured at pin 10):

$$V_{REF} = \left( \frac{V_{DD}}{2} \right) - 650mV \text{ in volts}$$

3. Loop Low-Pass Filter Time Constant,  $\tau$ :

$$\tau = C_1 \cdot R_{pp} \text{ (seconds)}$$

where:

$$R_{pp} = \left( \frac{R_1 \cdot R_2}{R_1 + R_2} \right)$$

If  $R_2$  is  $\infty$  or  $C_2$  reactance is  $\infty$ , then  $R_{pp} = R_1$

4. Loop Damping,  $\zeta$ :

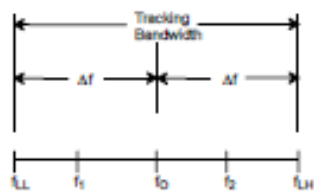
$$\zeta = \sqrt{\left( \frac{1250 \cdot C_0}{R_1 \cdot C_1} \right)}$$

Note: For derivation/explanation of this equation, please see TAN-011.

5. Loop-tracking

bandwidth,  $\pm = \frac{\Delta f}{f_0}$

$$\frac{\Delta f}{f_0} = \frac{R_0}{R_1}$$



6. FSK Data filter time constant,  $\tau_f$ :

$$\tau_f = \frac{R_b \cdot R_c}{(R_b + R_c)} C_f \text{ (seconds)}$$

7. Loop phase detector conversion gain,  $K_d$ : ( $K_d$  is the differential DC voltage across pin 10 and pin 11, per unit of phase error at phase detector input):

$$K_d = \frac{V_{REF} \cdot R_1}{10,000 \cdot \pi} \left[ \frac{\text{volt}}{\text{radian}} \right]$$

*Note: For derivation/explanation of this equation, please see TAN-011.*

8. VCO conversion gain,  $K_o$ : ( $K_o$  is the amount of change in VCO frequency, per unit of DC voltage change at pin 11):

$$K_o = \frac{-2\pi}{V_{REF} \cdot C_2 \cdot R_1} = \left( \frac{\text{radian/second}}{\text{volt}} \right)$$

9. The filter transfer function:

$$F(s) = \frac{1}{1 + sR_1 C_1} \text{ at 0 Hz} \quad S = j\omega \text{ and } \omega = 0$$

10. Total loop gain,  $K_T$ :

$$K_T = K_o \cdot K_d \cdot F(s) = \left( \frac{R_c}{5,000 \cdot C_2 \cdot (R_b + R_c)} \right) \left[ \frac{1}{\text{seconds}} \right]$$

11. Peak detector current  $I_A$ :

$$I_A = \frac{V_{REF}}{20,000} \text{ (} V_{REF} \text{ in volts and } I_A \text{ in amps)}$$

*Note: For derivation/explanation of this equation, please see TAN-011.*

## APPLICATIONS INFORMATION

## FSK Decoding

Figure 10 shows the basic circuit connection for FSK decoding. With reference to Figure 3 and Figure 10, the functions of external components are defined as follows:  $R_0$  and  $C_0$  set the PLL center frequency,  $R_1$  sets the system bandwidth, and  $C_1$  sets the loop filter time constant and the loop damping factor.  $C_F$  and  $R_F$  form a one-pole post-detection filter for the FSK data output. The resistor  $R_0$  from pin 7 to pin 8 introduces positive feedback across the FSK comparator to facilitate rapid transition between output logic states.

## Design Instructions:

The circuit of Figure 10 can be tailored for any FSK decoding application by the choice of five key circuit components:  $R_0$ ,  $R_1$ ,  $C_0$ ,  $C_1$  and  $C_F$ . For a given set of FSK mark and space frequencies,  $f_0$  and  $f_1$ , these parameters can be calculated as follows:

(All resistance in  $\Omega$ 's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

- a) Calculate PLL center frequency,  $f_0$ :

$$f_0 = \sqrt{F_1 \cdot F_2}$$

- b) Choose value of timing resistor  $R_0$ , to be in the range of 10K $\Omega$  to 100K $\Omega$ . This choice is arbitrary. The recommended value is  $R_0 = 20K\Omega$ . The final value of  $R_0$  is normally fine-tuned with the series potentiometer,  $R_x$ .

$$R_0 = R_0 + \frac{R_x}{2}$$

- c) Calculate value of  $C_0$  from design equation (1) or from Figure 7.

$$C_0 = \frac{1}{R_0 \cdot f_0}$$

- d) Calculate  $R_1$  to give the desired tracking bandwidth (See design equation 5).

$$R_1 = \frac{R_0 \cdot f_0}{(f_1 - f_0)} \cdot 2$$

- e) Calculate  $C_1$  to set loop damping. (See design equation 4):

Normally,  $\zeta = 0.5$  is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \zeta^2}$$

- f) The input to the XR-2211 may sometimes be too sensitive to noise conditions on the Input line. Figure 4 illustrates a method of de-sensitizing the XR-2211 from such noisy line conditions by the use of a resistor,  $R_x$ , connected from pin 2 to ground. The value of  $R_x$  is chosen by the equation and the desired minimum signal threshold level.

$$V_{IN} \text{ minimum (peak)} = V_c - V_s = \Delta V \pm 2.8mV \text{ offset} = V_{REF} \frac{20,000}{(20,000 + R_x)} \text{ or } R_x = 20,000 \left( \frac{V_{REF}}{\Delta V} - 1 \right)$$

$V_{IN}$  minimum (peak) input voltage must exceed this value to be detected (equivalent to adjusting V threshold)

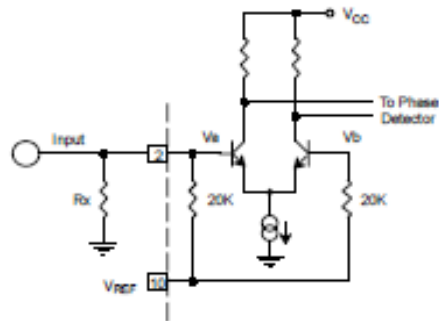


Figure 4. Desensitizing Input Stage

- g) Calculate Data Filter Capacitance,  $C_f$ :

$$R_{min} = \frac{(R_c + R_s) \cdot R_0}{(R_1 + R_c + R_0)}$$

$$C_f = \frac{0.25}{(R_{min} \cdot \text{Baud Rate})} \quad \text{Baud rate in } \frac{1}{\text{seconds}}$$

Note: All values except  $R_0$  can be rounded to nearest standard value.

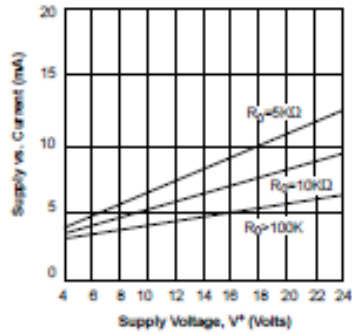


Figure 5. Typical Supply Current vs. V+ (Logic Outputs Open Circuited)

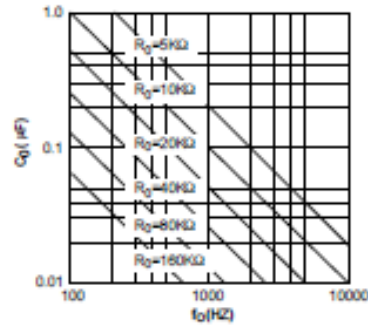


Figure 6. VCO Frequency vs. Timing Resistor

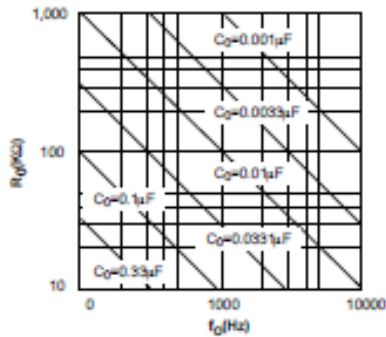


Figure 7. VCO Frequency vs. Timing Capacitor

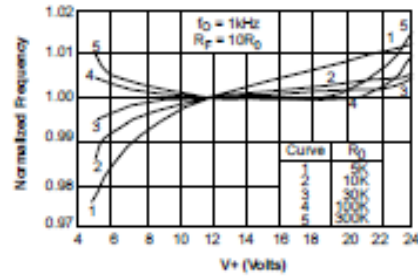


Figure 8. Typical  $f_0$  vs. Power Supply Characteristics

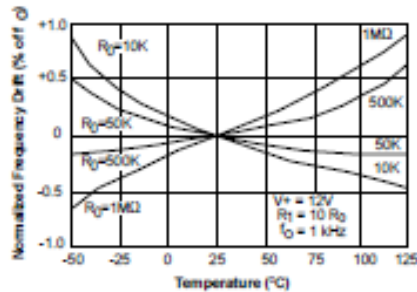


Figure 9. Typical Center Frequency Drift vs. Temperature

**Design Example:**

1200 Baud FSK demodulator with mark and space frequencies of 1200/2200.

Step 1: Calculate  $f_0$ : from design instructions

$$(a) f_0 = \sqrt{1200 \cdot 2200} = 1624$$

Step 2: Calculate  $R_0$ :  $R_0 = 10K$  with a potentiometer of 10K. (See design instructions (b))

$$(b) R_1 = 10 + \left(\frac{10}{2}\right) = 15K$$

Step 3: Calculate  $C_0$  from design instructions

$$(c) C_0 = \frac{1}{15000 \cdot 1624} = 39nF$$

Step 4: Calculate  $R_1$ : from design instructions

$$(d) R_1 = \frac{20000 \cdot 1624 \cdot 2}{(2200 - 1200)} = 51,000$$

Step 5: Calculate  $C_1$ : from design instructions

$$(e) C_1 = \frac{1250 \cdot 39nF}{51000 \cdot 0.5^2} = 3.9nF$$

Step 6: Calculate  $R_F$ :  $R_F$  should be at least five times  $R_1$ ,  $R_F = 51,000 \cdot 5 = 255 K\Omega$

Step 7: Calculate  $R_B$ :  $R_B$  should be at least five times  $R_F$ ,  $R_B = 255,000 \cdot 5 = 1.2 M\Omega$

Step 8: Calculate  $R_{SUM}$ :

$$R_{SUM} = \frac{(R_F + R_1) \cdot R_B}{(R_F + R_1 + R_B)} = 240K\Omega$$

Step 9: Calculate  $C_F$ :

$$C_F = \frac{0.25}{(R_{SUM} \cdot \text{Baud Rate})} = 1nF$$

Note: All values except  $R_0$  can be rounded to nearest standard value.

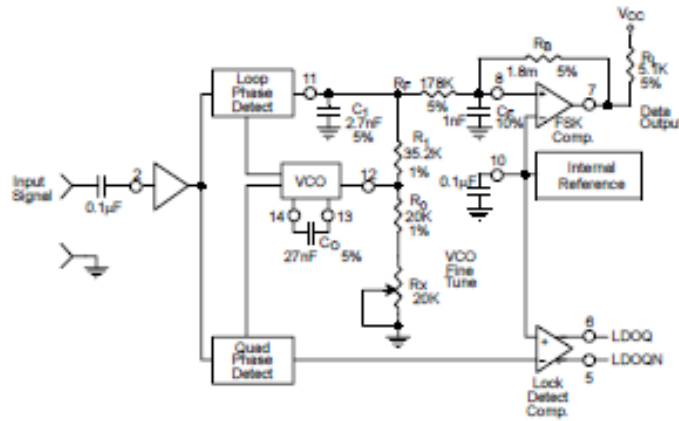


Figure 10. Circuit Connection for FSK Decoding of Caller Identification Signals (Bell 202 Format)

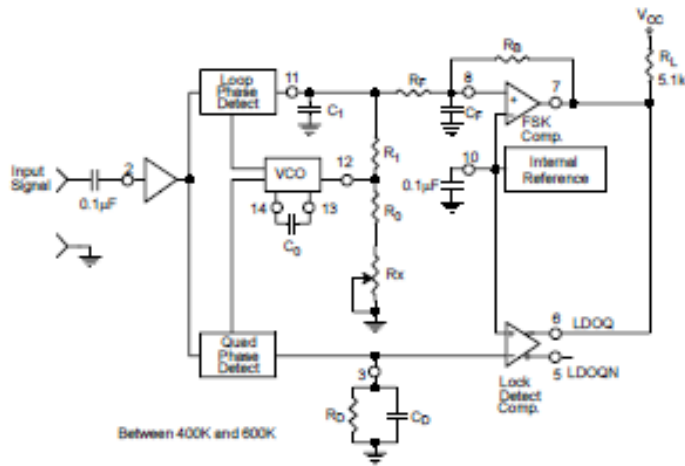


Figure 11. External Connectors for FSK Demodulation with Carrier Detect Capability

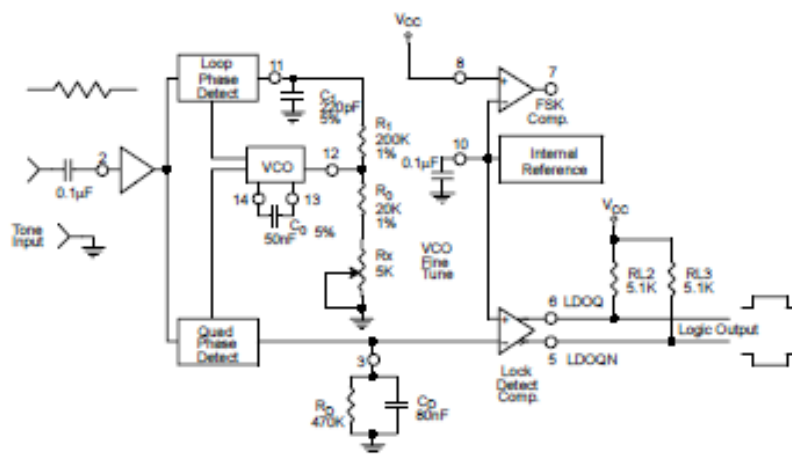


Figure 12. Circuit Connection for Tone Detection

#### FSK Decoding with Carrier Detect

The lock detect section of XR-2211 can be used as a carrier detect option for FSK decoding. The recommended circuit connection for this application is shown in Figure 11. The open collector lock detect output, pin 6, is shorted to data output (pin 7). Thus, data output will be disabled at "low" state, until there is a carrier within the detection band of the PLL and the pin 6 output goes "high" to enable the data output.

**Note:** Data Output is "Low" When No Carrier is Present.

The minimum value of the lock detect filter capacitance  $C_D$  is inversely proportional to the capture range,  $\pm\Delta f_c$ . This is the range of incoming frequencies over which the loop can acquire lock and is always less than the tracking range. It is further limited by  $C_1$ . For most applications,  $\Delta f_c > \Delta f/2$ . For  $R_D = 470k\Omega$ , the approximate minimum value of  $C_D$  can be determined by:

$$C_D > \frac{16}{\Delta f} C \text{ in } \mu\text{F and } f \text{ in Hz.}$$

$C$  in  $\mu\text{F}$  and  $f$  in Hz.

With values of  $C_D$  that are too small, chatter can be observed on the lock detect output as an incoming signal

frequency approaches the capture bandwidth. Excessively large values of  $C_D$  will slow the response time of the lock detect output. For Caller I.D. applications choose  $C_D = 0.1\mu\text{F}$ .

#### Tone Detection

Figure 12 shows the generalized circuit connection for tone detection. The logic outputs, LDOQN and LDOQ at pins 5 and 6 are normally at "high" and "low" logic states, respectively. When a tone is present within the detection band of the PLL, the logic state at these outputs become reversed for the duration of the input tone. Each logic output can sink 5mA of load current.

Both outputs at pins 5 and 6 are open collector type stages, and require external pull-up resistors  $R_{L2}$  and  $R_{L3}$ , as shown in Figure 12.

With reference to Figure 3 and Figure 12, the functions of the external circuit components can be explained as follows:  $R_D$  and  $C_D$  set VCO center frequency;  $R_1$  sets the detection bandwidth;  $C_1$  sets the low pass-loop filter time constant and the loop damping factor.

**Design Instructions:**

The circuit of Figure 12 can be optimized for any tone detection application by the choice of the 5 key circuit components:  $R_0$ ,  $R_1$ ,  $C_0$ ,  $C_1$  and  $C_D$ . For a given input, the tone frequency,  $f_0$ , these parameters are calculated as follows:

(All resistance in  $\Omega$ 's, all frequency in Hz and all capacitance in farads, unless otherwise specified)

- Choose value of timing resistor  $R_0$  to be in the range of 10K $\Omega$  to 50K $\Omega$ . This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is  $R_0 = 20\text{K}\Omega$ . The final value of  $R_0$  is normally fine-tuned with the series potentiometer,  $R_X$ .
- Calculate value of  $C_0$  from design equation (1) or from Figure 7  $f_0 = f_C$ :

$$C_0 = \frac{1}{R_0 \cdot f_0}$$

- Calculate  $R_1$  to set the bandwidth  $\pm\Delta f$  (See design equation 5):

$$R_1 = \frac{R_0 \cdot f_0 \cdot 2}{\Delta f}$$

*Note:* The total detection bandwidth covers the frequency range of  $f_0 \pm \Delta f$

- Calculate value of  $C_1$  for a given loop damping factor:

Normally,  $\zeta = 0.5$  is recommended.

$$C_1 = \frac{1250 \cdot C_0}{R_1 \cdot \zeta^2}$$

Increasing  $C_1$  improves the out-of-band signal rejection, but increases the PLL capture time.

- Calculate value of the filter capacitor  $C_D$ . To avoid chatter at the logic output, with  $R_0 = 470\text{K}\Omega$ ,  $C_D$  must be:

$$C_D > \frac{16}{\Delta f} \quad C \text{ in } \mu F$$

Increasing  $C_D$  slows down the logic output response time.

**Design Examples:**

Tone detector with a detection band of  $\pm 100\text{Hz}$ :

- Choose value of timing resistor  $R_0$  to be in the range of 10K $\Omega$  to 50K $\Omega$ . This choice is dictated by the max./min. current that the internal voltage reference can deliver. The recommended value is  $R_0 = 20\text{K}\Omega$ . The final value of  $R_0$  is normally fine-tuned with the series potentiometer,  $R_X$ .
- Calculate value of  $C_0$  from design equation (1) or from Figure 6  $f_0 = f_C$ :

$$C_0 = \frac{1}{R_0 \cdot f_0} = \frac{1}{20,000 \cdot 1,000} = 50\text{nF}$$

- c) Calculate  $R_1$  to set the bandwidth  $\pm\Delta f$  (See design equation 5):

$$R_1 = \frac{R_F \cdot f_c \cdot 2}{\Delta f} = \frac{20,000 \cdot 1,000 \cdot 2}{100} = 400K$$

Note: The total detection bandwidth covers the frequency range of  $f_c \pm \Delta f$

- d) Calculate value of  $C_0$  for a given loop damping factor:

Normally,  $\zeta = 0.5$  is recommended.

$$C_0 = \frac{1250 \cdot C_1}{R_1 \cdot \zeta^2} = \frac{1250 \cdot 50 \cdot 10^{-9}}{400,000 \cdot 0.5^2} = 6.25 \mu F$$

Increasing  $C_1$  improves the out-of-band signal rejection, but increases the PLL capture time.

- e) Calculate value of the filter capacitor  $C_D$ . To avoid chatter at the logic output, with  $R_D = 470K\Omega$ ,  $C_D$  must be:

$$C_D = \frac{16}{\Delta f} \geq \frac{16}{200} \geq 80nF$$

Increasing  $C_D$  slows down the logic output response time.

- f) Fine tune center frequency with  $5K\Omega$  potentiometer,  $R_X$ .

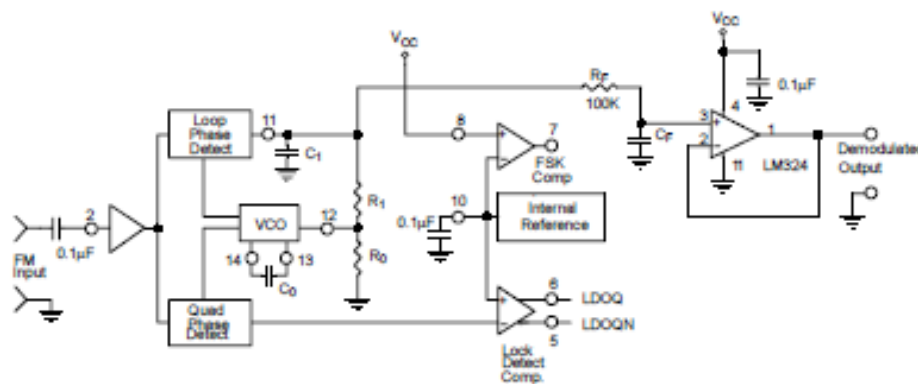


Figure 13. Linear FM Detector Using XR-2211 and an External Op Amp.  
(See Section on Design Equation for Component Values.)

**Linear FM Detection**

XR-2211 can be used as a linear FM detector for a wide range of analog communications and telemetry applications. The recommended circuit connection for this application is shown in Figure 13. The demodulated output is taken from the loop phase detector output (pin 11), through a post-detection filter made up of  $R_F$  and  $C_F$ , and an external buffer amplifier. This buffer amplifier is necessary because of the high impedance output at pin 11. Normally, a non-inverting unity gain op amp can be used as a buffer amplifier, as shown in Figure 13.

The FM detector gain, i.e., the output voltage change per unit of FM deviation can be given as:

$$V_{OUT} = \frac{R_F \cdot V_{REF}}{100 \cdot R_D}$$

where  $V_R$  is the internal reference voltage ( $V_{REF} = V_{CC}/2 - 650mV$ ). For the choice of external components  $R_F$ ,  $R_D$ ,  $C_D$ ,  $C_1$  and  $C_F$ , see the section on design equations.

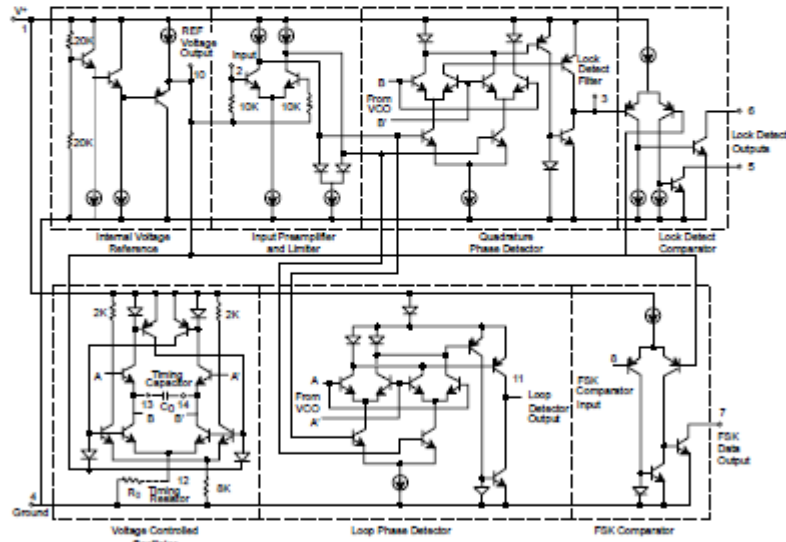
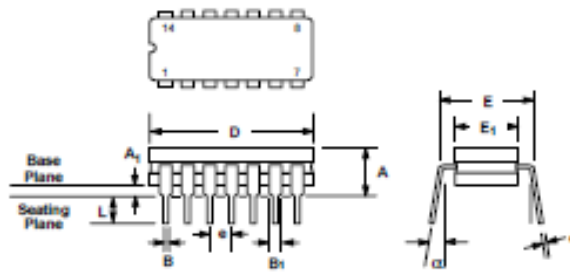


Figure 14. Equivalent Schematic Diagram

**14 LEAD CERAMIC DUAL-IN-LINE  
(300 MIL CDIP)**

Rev. 1.00

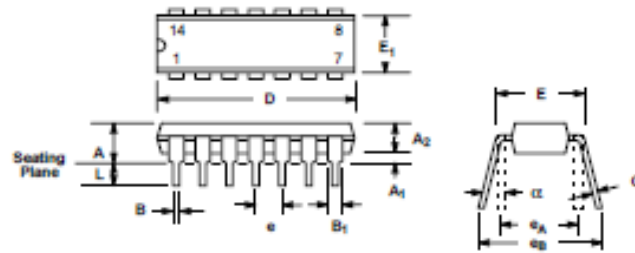


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A <sub>1</sub>	0.015	0.060	0.38	1.52
B	0.014	0.028	0.36	0.66
B <sub>1</sub>	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.685	0.785	17.40	19.94
E <sub>1</sub>	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0° 15°		0° 15°	

Note: The control dimension is the inch column

14 LEAD PLASTIC DUAL-IN-LINE  
(300 MIL PDIP)

Rev. 1.00

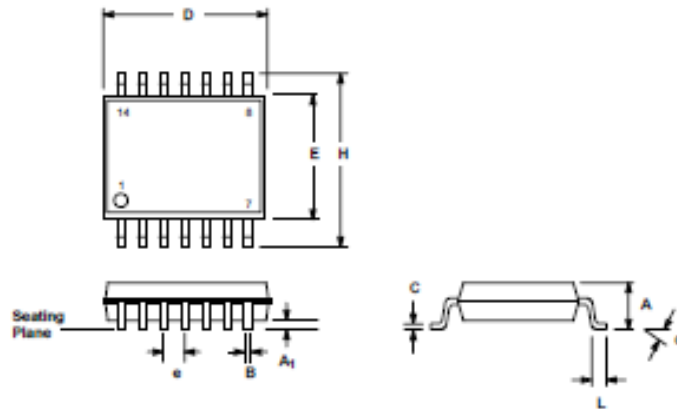


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A <sub>1</sub>	0.015	0.070	0.38	1.78
A <sub>2</sub>	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B <sub>1</sub>	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.725	0.795	18.42	20.19
E	0.300	0.325	7.62	8.28
E <sub>1</sub>	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e <sub>A</sub>	0.300 BSC		7.62 BSC	
e <sub>B</sub>	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0° 15°		0° 15°	

Note: The control dimension is the inch column

**14 LEAD SMALL OUTLINE  
(150 MIL JEDEC SOIC)**

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.053	0.080	1.35	1.75
At	0.004	0.010	0.10	0.25
B	0.013	0.020	0.33	0.51
C	0.007	0.010	0.19	0.25
D	0.337	0.344	8.55	8.75
E	0.150	0.157	3.80	4.00
e	0.050 BSC		1.27 BSC	
H	0.228	0.244	5.80	6.20
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column

## NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked, no responsibility, however, is assumed for inaccuracies.

EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1995 EXAR Corporation

Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

**ANEXO G.** Hojas de especificaciones del circuito integrado LM158.

## LM158/LM258/LM358/LM2904 Low Power Dual Operational Amplifiers

### General Description

The LM158 series consists of two independent, high gain, internally frequency compensated operational amplifiers which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

Application areas include transducer amplifiers, dc gain blocks and all the conventional op amp circuits which now can be more easily implemented in single power supply systems. For example, the LM158 series can be directly operated off of the standard +5V power supply voltage which is used in digital systems and will easily provide the required interface electronics without requiring the additional  $\pm 15V$  power supplies.

The LM358 and LM2904 are available in a chip sized package (8-Bump micro SMD) using National's micro SMD package technology.

### Unique Characteristics

- In the linear mode the input common-mode voltage range includes ground and the output voltage can also swing to ground, even though operated from only a single power supply voltage.
- The unity gain cross frequency is temperature compensated.
- The input bias current is also temperature compensated.

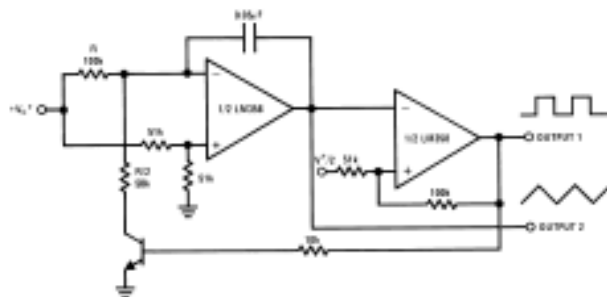
### Advantages

- Two internally compensated op amps
- Eliminates need for dual supplies
- Allows direct sensing near GND and  $V_{OUT}$  also goes to GND
- Compatible with all forms of logic
- Power drain suitable for battery operation

### Features

- Available in 8-Bump micro SMD chip sized package, (See AN-1112)
- Internally frequency compensated for unity gain
- Large dc voltage gain: 100 dB
- Wide bandwidth (unity gain): 1 MHz (temperature compensated)
- Wide power supply range:
  - Single supply: 3V to 32V
  - or dual supplies:  $\pm 1.5V$  to  $\pm 16V$
- Very low supply current drain (500  $\mu A$ )—essentially independent of supply voltage
- Low input offset voltage: 2 mV
- Input common-mode voltage range includes ground
- Differential input voltage range equal to the power supply voltage
- Large output voltage swing

### Voltage Controlled Oscillator (VCO)



**Absolute Maximum Ratings** (Note 0)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office.

Distributors for availability and specifications.

	LM158/LM258/LM358	LM2904
	LM158A/LM258A/LM358A	
Supply Voltage, $V^+$	32V	26V
Differential Input Voltage	32V	26V
Input Voltage	-0.3V to +32V	-0.3V to +26V
Power Dissipation (Note 1)		
Molded DIP	830 mW	830 mW
Metal Can	550 mW	
Small Outline Package (M)	530 mW	530 mW
micro SMD	435mW	
Output Short-Circuit to GND (One Amplifier) (Note 2)		
$V^+ < 15V$ and $T_A = 25^\circ C$	Continuous	Continuous
Input Current ( $V_{in} < -0.3V$ ) (Note 3)	50 mA	50 mA
Operating Temperature Range		
LM358	0°C to +70°C	-40°C to +85°C
LM258	-25°C to +85°C	
LM158	-55°C to +125°C	
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C
Lead Temperature, DIP (Soldering, 10 seconds)	260°C	260°C
Lead Temperature, Metal Can (Soldering, 10 seconds)	300°C	300°C
Soldering Information		
Dual-In-Line Package		
Soldering (10 seconds)	260°C	260°C
Small Outline Package		
Vapor Phase (60 seconds)	215°C	215°C
Infrared (15 seconds)	220°C	220°C
See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.		
ESD Tolerance (Note 10)	250V	250V

**Electrical Characteristics**

$V^+ = +5.0V$ , unless otherwise stated

Parameter	Conditions	LM158A		LM358A		LM158/LM258		Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 5), $T_A = 25^\circ C$	1	2	2	3	2	5	mV
Input Bias Current	$I_{BQ(+)}$ or $I_{BQ(-)}$ , $T_A = 25^\circ C$ , $V_{CM} = 0V$ , (Note 6)	20	50	45	100	45	150	nA
Input Offset Current	$I_{BQ(+)} - I_{BQ(-)}$ , $V_{CM} = 0V$ , $T_A = 25^\circ C$	2	10	5	30	3	30	nA
Input Common-Mode Voltage Range	$V^+ = 30V$ , (Note 7) (LM2904, $V^+ = 26V$ ), $T_A = 25^\circ C$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	0	$V^+ - 1.5$	V
Supply Current	Over Full Temperature Range $R_L = \infty$ on All Op Amps $V^+ = 30V$ (LM2904 $V^+ = 26V$ ) $V^+ = 5V$	1	2	1	2	1	2	mA
		0.5	1.2	0.5	1.2	0.5	1.2	mA

Electrical Characteristics								
V <sup>+</sup> = +5.0V, unless otherwise stated								
Parameter	Conditions	LM358			LM2904			Units
		Min	Typ	Max	Min	Typ	Max	
Input Offset Voltage	(Note 5), T <sub>A</sub> = 25°C		2	7		2	7	mV
Input Bias Current	I <sub>INQ(1)</sub> or I <sub>INQ(2)</sub> , T <sub>A</sub> = 25°C, V <sub>CM</sub> = 0V, (Note 6)		45	250		45	250	nA
Input Offset Current	I <sub>INQ(1)</sub> - I <sub>INQ(2)</sub> , V <sub>CM</sub> = 0V, T <sub>A</sub> = 25°C		5	50		5	50	nA
Input Common-Mode Voltage Range	V <sup>+</sup> = 30V, (Note 7) (LM2904, V <sup>+</sup> = 26V), T <sub>A</sub> = 25°C	0		V <sup>+</sup> -1.5	0		V <sup>+</sup> -1.5	V
Supply Current	Over Full Temperature Range R <sub>L</sub> = ∞ on All Op Amps V <sup>+</sup> = 30V (LM2904 V <sup>+</sup> = 26V) V <sup>-</sup> = 5V		1	2		1	2	mA
			0.5	1.2		0.5	1.2	mA

Electrical Characteristics											
V <sup>+</sup> = +5.0V, (Note 4), unless otherwise stated											
Parameter	Conditions	LM158A			LM358A			LM158/LM258			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	V <sup>+</sup> = 15V, T <sub>A</sub> = 25°C, R <sub>L</sub> ≥ 2 kΩ, (For V <sub>o</sub> = 1V to 11V)	50	100		25	100		50	100		V/mV
Common-Mode Rejection Ratio	T <sub>A</sub> = 25°C, V <sub>CM</sub> = 0V to V <sup>-</sup> -1.5V	70	85		65	85		70	85		dB
Power Supply Rejection Ratio	V <sup>+</sup> = 5V to 30V (LM2904, V <sup>+</sup> = 5V to 26V), T <sub>A</sub> = 25°C	65	100		65	100		65	100		dB
Amplifier-to-Amplifier Coupling	f = 1 kHz to 20 kHz, T <sub>A</sub> = 25°C (Input Referred), (Note 8)		-120			-120			-120		dB
Output Current	Source V <sub>IN</sub> <sup>+</sup> = 1V, V <sub>IN</sub> <sup>-</sup> = 0V, V <sup>+</sup> = 15V, V <sub>o</sub> = 2V, T <sub>A</sub> = 25°C	20	40		20	40		20	40		mA
	Sink V <sub>IN</sub> <sup>+</sup> = 1V, V <sub>IN</sub> <sup>-</sup> = 0V V <sup>+</sup> = 15V, T <sub>A</sub> = 25°C, V <sub>o</sub> = 2V	10	20		10	20		10	20		mA
	V <sub>IN</sub> <sup>+</sup> = 1V, V <sub>IN</sub> <sup>-</sup> = 0V T <sub>A</sub> = 25°C, V <sub>o</sub> = 200 mV, V <sup>+</sup> = 15V	12	50		12	50		12	50		μA
Short Circuit to Ground	T <sub>A</sub> = 25°C, (Note 2), V <sup>+</sup> = 15V	40	60		40	60		40	60		mA
Input Offset Voltage	(Note 5)		4			5			7		mV
Input Offset Voltage Drift	R <sub>IN</sub> = 0Ω		7	15		7	20		7		μV/°C
Input Offset Current	I <sub>INQ(1)</sub> - I <sub>INQ(2)</sub>			30			75			100	nA
Input Offset Current Drift	R <sub>IN</sub> = 0Ω		10	200		10	300		10		pA/°C
Input Bias Current	I <sub>INQ(1)</sub> or I <sub>INQ(2)</sub>		40	100		40	200		40	300	nA
Input Common-Mode Voltage Range	V <sup>+</sup> = 30 V, (Note 7) (LM2904, V <sup>+</sup> = 26V)	0		V <sup>+</sup> -2	0		V <sup>+</sup> -2	0		V <sup>+</sup> -2	V

Electrical Characteristics (Continued)								
V <sup>+</sup> = +5.0V, (Note 4), unless otherwise stated								
Parameter	Conditions	LM158A		LM358A		LM158/LM258		Units
		Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	V <sup>+</sup> = +15V (V <sub>O</sub> = 1V to 11V) R <sub>L</sub> ≥ 2 kΩ	25			15		25	V/mV
Output Voltage Swing	V <sub>CM</sub> V <sup>+</sup> = +30V (LM2904, V <sup>+</sup> = 26V)	26		26		26		V
	R <sub>L</sub> = 2 kΩ	27	28	27	28	27	28	V
Output Voltage Swing	V <sub>CM</sub> V <sup>+</sup> = 5V, R <sub>L</sub> = 10 kΩ	5	20	5	20	5	20	mV
Output Current	Source V <sub>CM</sub> <sup>+</sup> = +1V, V <sub>CM</sub> <sup>-</sup> = 0V, V <sup>+</sup> = 15V, V <sub>O</sub> = 2V	10	20	10	20	10	20	mA
	Sink V <sub>CM</sub> <sup>-</sup> = +1V, V <sub>CM</sub> <sup>+</sup> = 0V, V <sup>+</sup> = 15V, V <sub>O</sub> = 2V	10	15	5	8	5	8	mA
Electrical Characteristics								
V <sup>+</sup> = +5.0V, (Note 4), unless otherwise stated								
Parameter	Conditions	LM358			LM2004			Units
		Min	Typ	Max	Min	Typ	Max	
Large Signal Voltage Gain	V <sup>+</sup> = 15V, T <sub>A</sub> = 25°C, R <sub>L</sub> ≥ 2 kΩ, (For V <sub>O</sub> = 1V to 11V)	25	100		25	100		V/mV
Common-Mode Rejection Ratio	T <sub>A</sub> = 25°C, V <sub>CM</sub> = 0V to V <sup>+</sup> -1.5V	65	85		50	70		dB
Power Supply Rejection Ratio	V <sup>+</sup> = 5V to 30V (LM2904, V <sup>+</sup> = 5V to 26V), T <sub>A</sub> = 25°C	65	100		50	100		dB
Amplifier-to-Amplifier Coupling	f = 1 kHz to 20 kHz, T <sub>A</sub> = 25°C (Input Referred), (Note 8)		-120			-120		dB
Output Current	Source V <sub>CM</sub> <sup>+</sup> = 1V, V <sub>CM</sub> <sup>-</sup> = 0V, V <sup>+</sup> = 15V, V <sub>O</sub> = 2V, T <sub>A</sub> = 25°C	20	40		20	40		mA
	Sink V <sub>CM</sub> <sup>-</sup> = 1V, V <sub>CM</sub> <sup>+</sup> = 0V, V <sup>+</sup> = 15V, T <sub>A</sub> = 25°C, V <sub>O</sub> = 2V	10	20		10	20		mA
	V <sub>CM</sub> <sup>-</sup> = 1V, V <sub>CM</sub> <sup>+</sup> = 0V, T <sub>A</sub> = 25°C, V <sub>O</sub> = 200 mV, V <sup>+</sup> = 15V	12	50		12	50		μA
Short Circuit to Ground	T <sub>A</sub> = 25°C, (Note 2), V <sup>+</sup> = 15V		40	60		40	60	mA
Input Offset Voltage	(Note 5)			9			10	mV
Input Offset Voltage Drift	R <sub>IN</sub> = 0Ω		7			7		μV/°C
Input Offset Current	I <sub>IN(+)</sub> - I <sub>IN(-)</sub>			150		45	200	nA
Input Offset Current Drift	R <sub>IN</sub> = 0Ω		10			10		pA/°C
Input Bias Current	I <sub>IN(+)</sub> or I <sub>IN(-)</sub>		40	500		40	500	nA
Input Common-Mode Voltage Range	V <sup>+</sup> = 30 V, (Note 7) (LM2904, V <sup>+</sup> = 26V)	0		V <sup>+</sup> -2	0		V <sup>+</sup> -2	V

**Electrical Characteristics** (Continued)V<sup>+</sup> = +5.0V, (Note 4), unless otherwise stated

Parameter	Conditions	LM359			LM2904			Units	
		Min	Typ	Max	Min	Typ	Max		
Large Signal Voltage Gain	V <sup>+</sup> = +15V (V <sub>CE</sub> = 1V to 11V) R <sub>L</sub> ≥ 2 kΩ	15			15			V/mV	
Output Voltage Swing	V <sub>CE</sub> <sup>+</sup> (LM2904, V <sup>+</sup> = 26V)	26			22			V	
	R <sub>L</sub> = 2 kΩ	27			23			V	
Output Current	V <sub>CE</sub> <sup>-</sup>	5			5			mV	
	R <sub>L</sub> = 10 kΩ	20			100			mV	
Output Current	Source V <sub>BE</sub> <sup>+</sup> = +1V, V <sub>BE</sub> <sup>-</sup> = 0V, V <sup>+</sup> = 15V, V <sub>CE</sub> = 2V	10			10			20	mA
	Sink V <sub>BE</sub> <sup>-</sup> = +1V, V <sub>BE</sub> <sup>+</sup> = 0V, V <sup>+</sup> = 15V, V <sub>CE</sub> = 2V	5			5			8	mA

**Note 1:** For operating at high temperatures, the LM359/LM259A, LM2904 must be derated based on a +125°C maximum junction temperature and a thermal resistance of 120°C/W for PDIP, 167°C/W for Metal Can, 187°C/W for Small Outline package, and 250°C/W for micro SMD, which applies for the device soldered in a printed circuit board, operating in a still air ambient. The LM359/LM259A and LM159/LM159A can be derated based on a +150°C maximum junction temperature. The derating is the total of both amplifiers — use external resistors, where possible, to allow the amplifier to substrate or to reduce the power which is dissipated in the integrated circuit.

**Note 2:** Short circuits from the output to V<sup>+</sup> can cause excessive heating and eventual destruction. When considering short circuits to ground, the maximum output current is approximately 40 mA independent of the magnitude of V<sup>+</sup>. At values of supply voltage in excess of +15V, continuous short circuits can exceed the power dissipation ratings and cause eventual destruction. Destructive dissipation can result from simultaneous shorts on all amplifiers.

**Note 3:** This input current will only exist when the voltage at any of the input leads is driven negative. It is due to the collector-base junction of the input PNP transistors becoming forward biased and thereby acting as input diode clamps. In addition to this diode action, there is also lateral NPN parasitic transistor action on the IC chip. This transistor action can cause the output voltages of the op amps to go to the V<sup>+</sup> voltage level (or to ground for a large overdrive) for the time duration that an input is driven negative. This is not destructive and normal output values will re-establish when the input voltage, which was negative, again returns to a value greater than -0.5V (at 25°C).

**Note 4:** These specifications are limited to -50°C < T<sub>A</sub> < +25°C for the LM159A/LM159A. With the LM259A/LM259A, all temperature specifications are limited to -25°C < T<sub>A</sub> < +85°C, the LM359A/LM359A temperature specifications are limited to 0°C < T<sub>A</sub> < +70°C, and the LM2904 specifications are limited to -40°C < T<sub>A</sub> < +85°C.

**Note 5:** V<sub>CE</sub> = 1.4V, R<sub>th</sub> = 0Ω with V<sup>+</sup> from 5V to 30V and over the full input common-mode range (0V to V<sup>+</sup> - 1.5V) at 25°C. For LM2904, V<sup>+</sup> from 5V to 26V.

**Note 6:** The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the input lines.

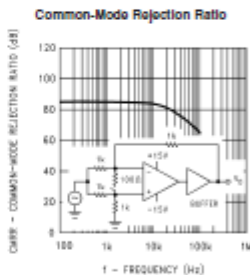
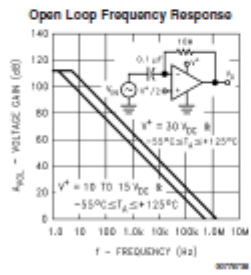
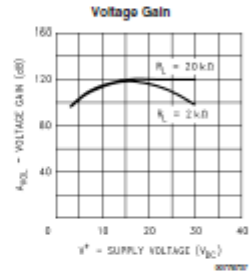
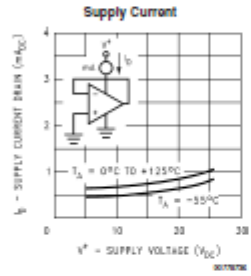
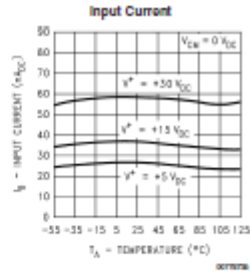
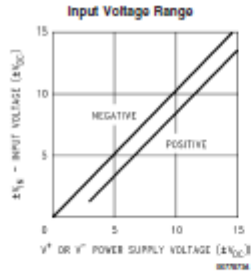
**Note 7:** The input common-mode voltage of either input signal voltage should not be allowed to go negative by more than 0.5V (at 25°C). The upper end of the common-mode voltage range is V<sup>+</sup> - 1.5V (at 25°C), but either or both inputs can go to +0.5V without damage (-0.6V for LM2904), independent of the magnitude of V<sup>+</sup>.

**Note 8:** Due to proximity of external components, insure that coupling is not originating via stray capacitance between these external parts. This typically can be detected as this type of capacitance increases at higher frequencies.

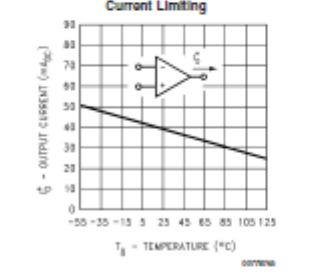
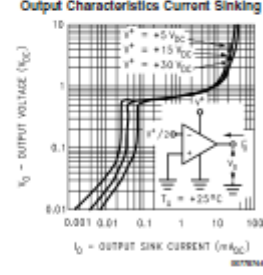
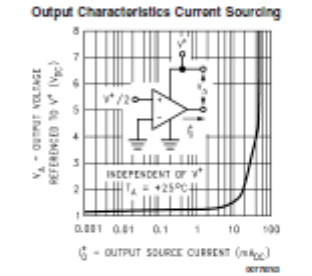
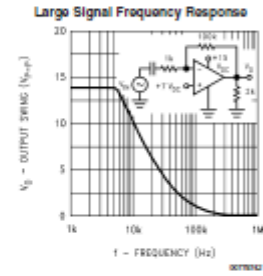
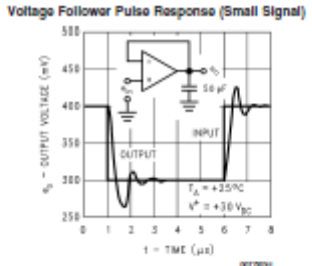
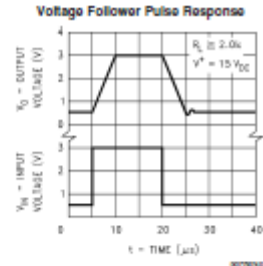
**Note 9:** Refer to RST5156AX for LM159A military specifications and to RST5156V for LM159 military specifications.

**Note 10:** Hansen body model, 1.5 kΩ in series with 100 pF.

### Typical Performance Characteristics

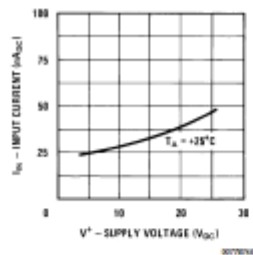


**Typical Performance Characteristics** (Continued)

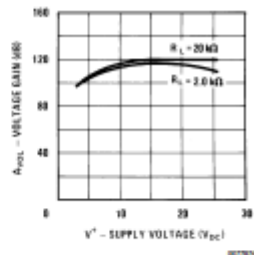


## Typical Performance Characteristics (Continued)

### Input Current (LM2902 only)



### Voltage Gain (LM2902 only)



## Application Hints

The LM158 series are op amps which operate with only a single power supply voltage, have true-differential inputs, and remain in the linear mode with an input common-mode voltage of 0 V<sub>DC</sub>. These amplifiers operate over a wide range of power supply voltage with little change in performance characteristics. At 25°C amplifier operation is possible down to a minimum supply voltage of 2.3 V<sub>DC</sub>.

Precautions should be taken to insure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a test socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Large differential input voltages can be easily accommodated and, as input differential voltage protection diodes are not needed, no large input currents result from large differential input voltages. The differential input voltage may be larger than V<sup>+</sup> without damaging the device. Protection should be provided to prevent the input voltages from going negative more than -0.3 V<sub>DC</sub> (at 25°C). An input clamp diode with a resistor to the IC input terminal can be used.

To reduce the power supply current drain, the amplifiers have a class A output stage for small signal levels which converts to class B in a large signal mode. This allows the amplifiers to both source and sink large output currents. Therefore both NPN and PNP external current boost transistors can be used to extend the power capability of the basic amplifiers. The output voltage needs to raise approximately 1 diode drop above ground to bias the on-chip vertical PNP transistor for output current sinking applications.

For ac applications, where the load is capacitively coupled to the output of the amplifier, a resistor should be used, from the output of the amplifier to ground to increase the class A bias current and prevent crossover distortion. Where the load is directly coupled, as in dc applications, there is no crossover distortion.

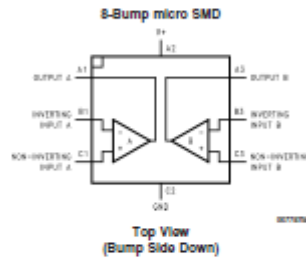
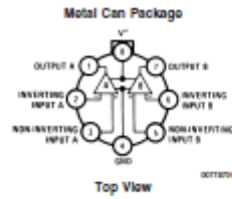
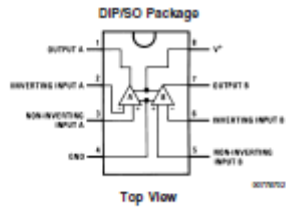
Capacitive loads which are applied directly to the output of the amplifier reduce the loop stability margin. Values of 50 pF can be accommodated using the worst-case non-inverting unity gain connection. Large closed loop gains or resistive isolation should be used if larger load capacitance must be driven by the amplifier.

The bias network of the LM158 establishes a drain current which is independent of the magnitude of the power supply voltage over the range of 3 V<sub>DC</sub> to 30 V<sub>DC</sub>.

Output short circuits either to ground or to the positive power supply should be of short time duration. Units can be destroyed, not as a result of the short circuit current causing metal fusing, but rather due to the large increase in IC chip dissipation which will cause eventual failure due to excessive junction temperatures. Putting direct short-circuits on more than one amplifier at a time will increase the total IC power dissipation to destructive levels, if not properly protected with external dissipation limiting resistors in series with the output loads of the amplifiers. The larger value of output source current which is available at 25°C provides a larger output current capability at elevated temperatures (see typical performance characteristics) than a standard IC op amp.

The circuits presented in the section on typical applications emphasize operation on only a single power supply voltage. If complementary power supplies are available, all of the standard op amp circuits can be used. In general, introducing a pseudo-ground (a bias voltage reference of V<sup>+/2</sup>) will allow operation above and below this value in single power supply systems. Many application circuits are shown which take advantage of the wide input common-mode voltage range which includes ground. In most cases, input biasing is not required and input voltages which range to ground can easily be accommodated.

Connection Diagrams

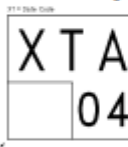


LM358BP micro SMD Marking Orientation



Pin A1 Corner  
Pin A1 is identified by laser-etched corner with respect to the text.

LM2904BP micro SMD Marking Orientation



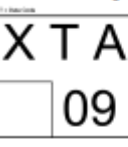
Pin A1 Corner  
Pin A1 is identified by laser-etched corner with respect to the text.

LM358TP micro SMD Marking Orientation



Pin A1 Corner  
Pin A1 is identified by laser-etched corner with respect to the text.

LM2904TP micro SMD Marking Orientation



Pin A1 Corner  
Pin A1 is identified by laser-etched corner with respect to the text.

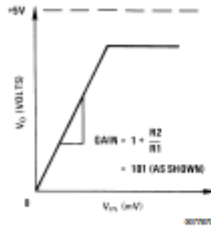
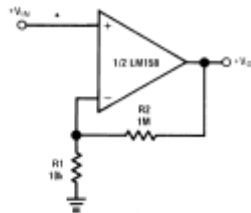
LM158A, LM258, LM358, LM2904

Ordering Information					
Package	Temperature Range				NSC Drawing
	-55°C to 125°C	-25°C to 85°C	0°C to 70°C	-40°C to 85°C	
SO-8			LM358AM LM358AMX LM358M LM358MX	LM2904M LM2904MX	M08A
8-Pin Molded DIP			LM358AN LM358N	LM2904N	N08E
8-Pin Ceramic DIP	LM158AJ/883(Notes 11) LM158AJ/883(Notes 11) LM158J LM158AJ/LQML(Notes 12) LM158AJ/QMLV(Notes 12)				J08A
TO-5, 8-Pin Metal Can	LM158AH/883(Notes 11) LM158H/883(Notes 11) LM158AH LM158H LM158AH/LQML(Notes 12) LM158AH/QMLV(Notes 12)	LM258H	LM358H		H08C
8-Bump micro SMD			LM358BP LM358BTPX	LM2904BP LM2904BTPX	BPAD8AAB 0.85 mm Thick
8-Bump micro SMD Lead Free			LM358TP LM358TTPX	LM2904TP LM2904TTPX	TPAD8AAA 0.50 mm Thick
14-Pin Ceramic SOIC	LM158AWG/883				WG10A
<p>Note 11: LM158 is available per SMD #5962-0771001 LM158A is available per SMD #5962-0771002</p> <p>Note 12: See STD M1 DWG 5962L07710 for Radiation Tolerant Devices</p>					

**Typical Single-Supply Applications**

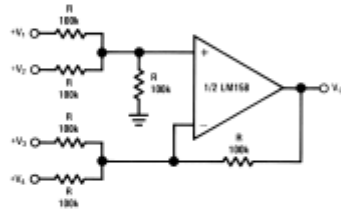
( $V^+ = 5.0 V_{DC}$ )

**Non-Inverting DC Gain (PV Output)**



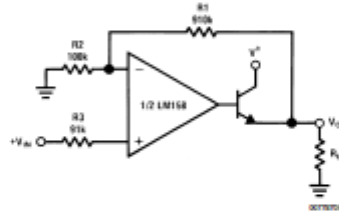
\*R1 not needed due to temperature independent  $I_{b1}$

**DC Summing Amplifier**  
( $V_{IN1} \geq 0 V_{DC}$  and  $V_{IN2} \geq 0 V_{DC}$ )



Where:  $V_O = V_1 + V_2 - V_3 - V_4$   
( $V_1 + V_2 \geq (V_3 + V_4)$  to keep  $V_O > 0 V_{DC}$ )

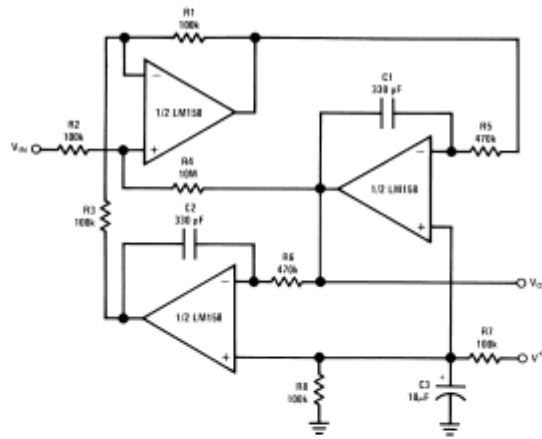
**Power Amplifier**



$V_O = 0 V_{DC}$  for  $V_{IN} = 0 V_{DC}$   
 $A_V = 10$

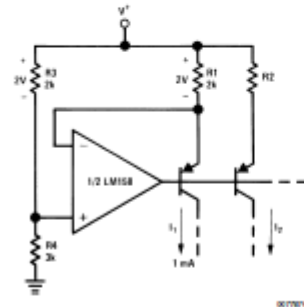
Typical Single-Supply Applications ( $V^- = 5.0 V_{DC}$ ) (Continued)

"BI-QUAD" RC Active Bandpass Filter



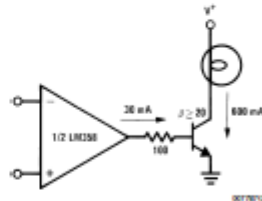
$f_c = 1 \text{ kHz}$   
 $Q = 50$   
 $A_v = 100 \text{ (40 dB)}$

Fixed Current Sources

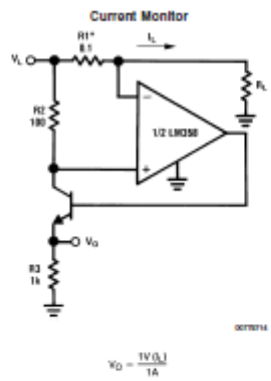
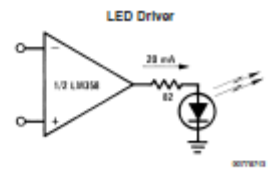


$$I_2 = \left( \frac{R1}{R2} \right) I_1$$

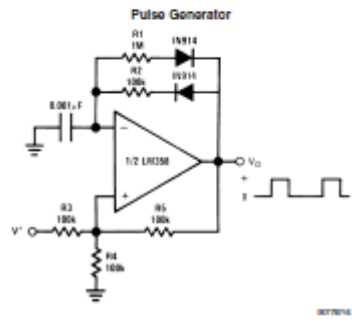
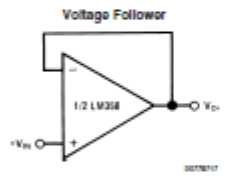
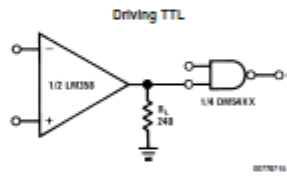
Lamp Driver



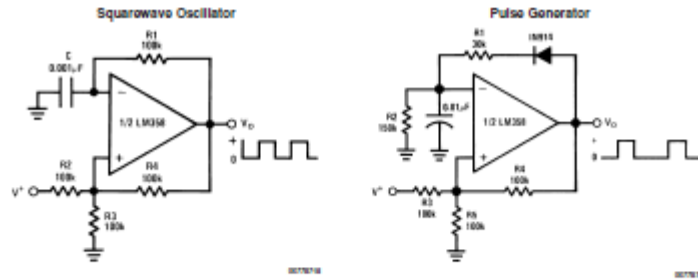
**Typical Single-Supply Applications** ( $V^+ = 5.0 V_{max}$ ) (Continued)



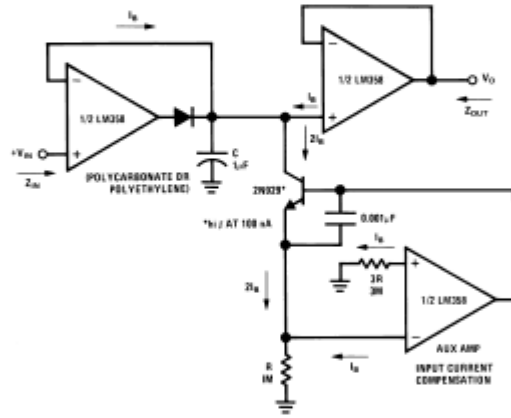
\*Increase R1 for  $I_L$  small  
 $V_i < V^+ - 2V$



Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)



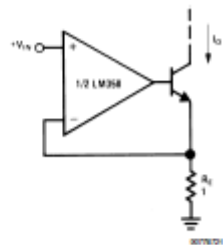
Low Drift Peak Detector



HIGH Z<sub>IN</sub>  
LOW Z<sub>OUT</sub>

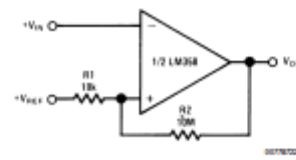
Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

High Compliance Current Sink

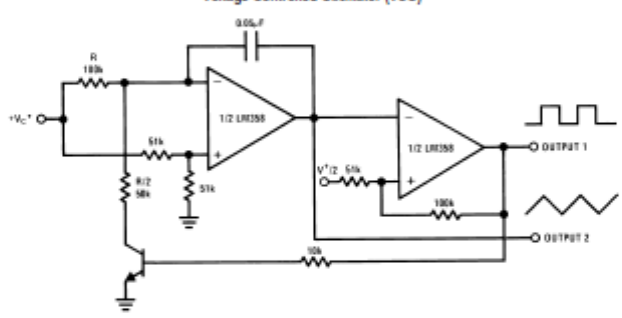


$I_o = 1 \text{ amp/ohm } V_{BE}$   
(increase  $R_1$  for  $I_o$  small)

Comparator with Hysteresis



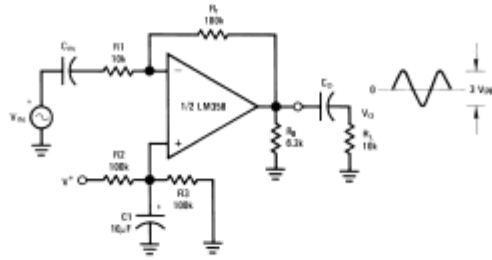
Voltage Controlled Oscillator (VCO)



\*WIDE CONTROL VOLTAGE RANGE:  $0 V_{DC} < V_c < 2 (V^+ - 1.5V_{DC})$

Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

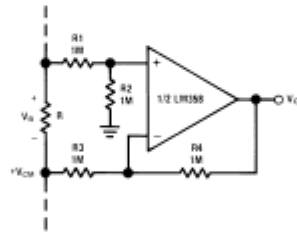
AC Coupled Inverting Amplifier



007920a

$$A_v = \frac{R_f}{R_1} \quad (\text{As shown, } A_v = 10)$$

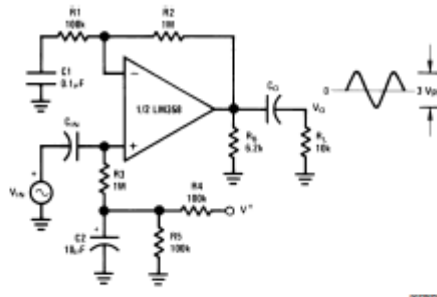
Ground Referencing a Differential Input Signal



007920a

Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

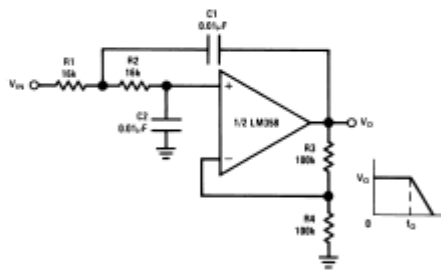
AC Coupled Non-Inverting Amplifier



$$A_V = 1 + \frac{R_2}{R_1}$$

$A_V = 11$  (As Shown)

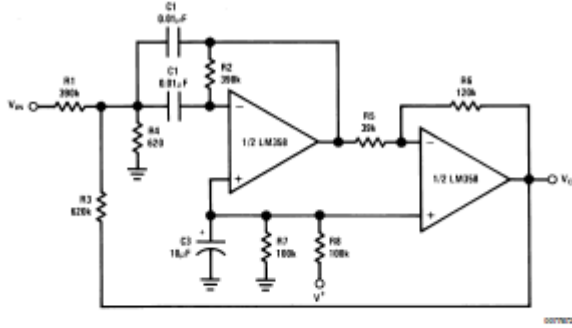
DC Coupled Low-Pass RC Active Filter



$f_c = 1 \text{ kHz}$   
 $Q = 1$   
 $A_V = 2$

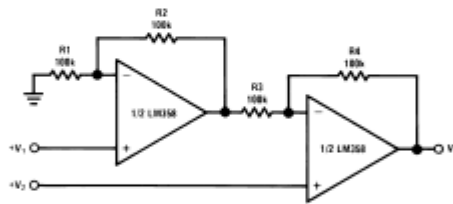
Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

Bandpass Active Filter



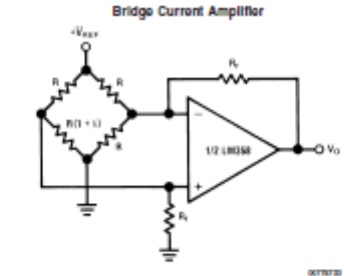
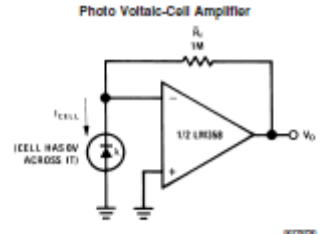
$f_0 = 1 \text{ kHz}$   
 $Q = 25$

High Input Z, DC Differential Amplifier



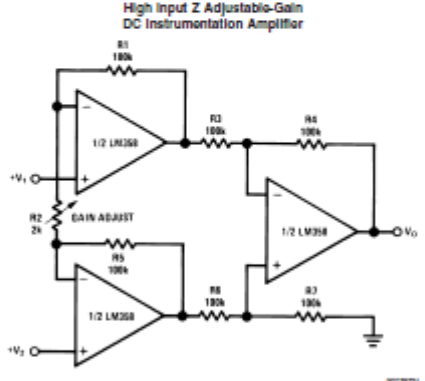
For  $\frac{R1}{R2} = \frac{R4}{R3}$  (CMRR depends on this resistor ratio match)  
 $V_0 = 1 + \frac{R4}{R3} (V_2 - V_1)$   
 As Shown:  $V_0 = 2 (V_2 - V_1)$

**Typical Single-Supply Applications** ( $V^+ = 5.0 V_{DC}$ ) (Continued)



For  $\delta \ll 1$  and  $R_f \gg R$

$$V_0 = V_{REF} \left( \frac{\delta}{2} \frac{R_f}{R} \right)$$



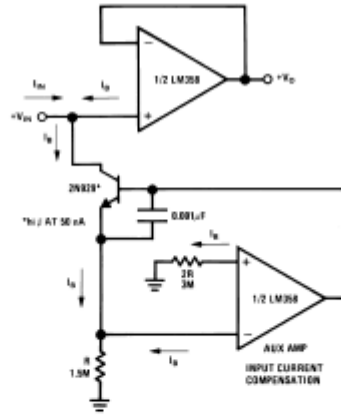
If  $R1 = R5$  &  $R3 = R4 = R6 = R7$  (CMRR depends on match)

$$V_0 = 1 + \frac{R1}{R2} (V_2 - V_1)$$

As shown  $V_0 = 101 (V_2 - V_1)$

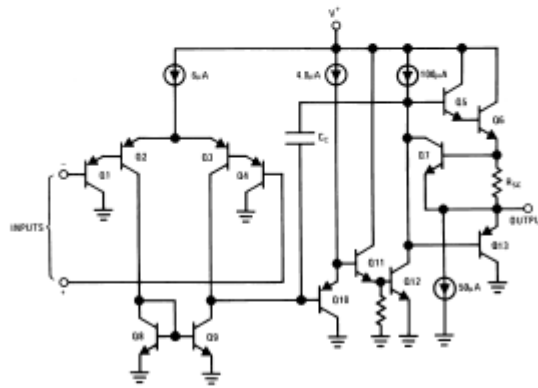
Typical Single-Supply Applications ( $V^+ = 5.0 V_{DC}$ ) (Continued)

Using Symmetrical Amplifiers to Reduce Input Current (General Concept)



9299922

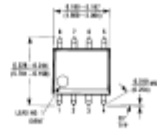
Schematic Diagram (Each Amplifier)



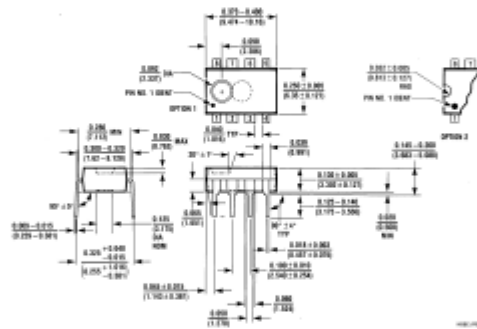
9299922



**Physical Dimensions** inches (millimeters) unless otherwise noted (Continued)

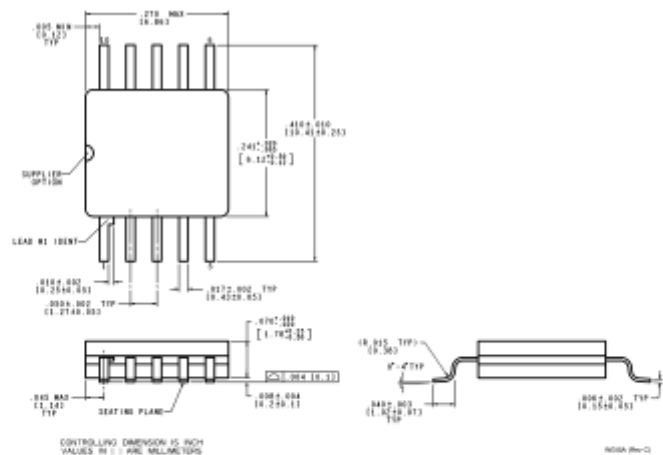


**SOIC Package (M)**  
NS Package Number M05A



**Molded Dip Package (N)**  
NS Package Number N05E

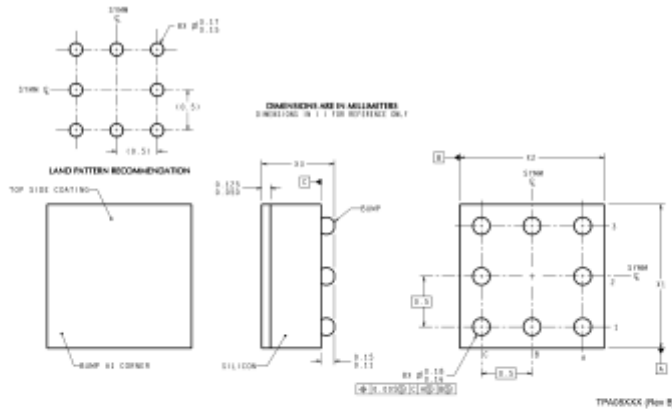
**Physical Dimensions** Inches (millimeters) unless otherwise noted (Continued)



Order Number LM158AWG/883  
 NS Package Number WG10A



**Physical Dimensions** Inches (millimeters) unless otherwise noted (Continued)



- NOTES: UNLESS OTHERWISE SPECIFIED
1. EPOXY COATING
  2. RECOMMEND NON-SOLDER MASK DEFINED LANDING PAD.
  3. PIN #1 IS ESTABLISHED BY LOWER LEFT CORNER WITH RESPECT TO TEXT ORIENTATION REMAINING PINS ARE NUMBERED COUNTERCLOCKWISE.
  4. XXX IN DRAWING NUMBER REPRESENTS PACKAGE SIZE VARIATION WHERE X<sub>1</sub> IS PACKAGE WIDTH, X<sub>2</sub> IS PACKAGE LENGTH AND X<sub>3</sub> IS PACKAGE HEIGHT.
  5. REFERENCE JEDEC REGISTRATION MO-211, VARIATION 0C.

**8-Bump micro SMD Lead Free  
NS Package Number TPA08AAA**  
X<sub>1</sub> = 1.285 X<sub>2</sub> = 1.285 X<sub>3</sub> = 0.500

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.  
For the most current product information visit us at [www.national.com](http://www.national.com).

**LIFE SUPPORT POLICY**

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT AND GENERAL COUNSEL OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

**BANNED SUBSTANCE COMPLIANCE**

National Semiconductor manufactures products and uses packing materials that meet the provisions of the Customer Products Stewardship Specification (CSP-9-111C2) and the Banned Substances and Materials of Interest Specification (CSP-9-111S2) and contain no "Banned Substances" as defined in CSP-9-111S2.  
Leadfree products are RoHS compliant.

 <p><b>National Semiconductor</b> Americas Customer Support Center Email: <a href="mailto:nsc.feedback@nsc.com">nsc.feedback@nsc.com</a> Tel: 1-800-272-6989 <a href="http://www.national.com">www.national.com</a></p>	<p><b>National Semiconductor</b> Europe Customer Support Center Fax: +49 (0) 180 530 65 66 Email: <a href="mailto:europa.support@nsc.com">europa.support@nsc.com</a> Deutsch Tel: +49 (0) 69 9638 6208 English Tel: +49 (0) 89 25 0 2171 Französisch Tel: +33 (0) 1 41 01 8760</p>	<p><b>National Semiconductor</b> Asia Pacific Customer Support Center Email: <a href="mailto:ap.support@nsc.com">ap.support@nsc.com</a></p>	<p><b>National Semiconductor</b> Japan Customer Support Center Fax: 81-3-6636-1507 Email: <a href="mailto:jpn.feedback@nsc.com">jpn.feedback@nsc.com</a> Tel: 81-3-6636-7540</p>
--	--	---	--