



UNIVERSIDAD JOSÉ ANTONIO PÁEZ

**DESARROLLO DE UN LABORATORIO INTERACTIVO PARA
LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN
SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES
DE INGENIERÍA ELECTRÓNICA
Y TELECOMUNICACIONES DE LA UJAP**

Autores: Jhorman Oliveros
Nolberto Goncalves

Urb. Yuma II, calle N° 3. Municipio San Diego
Teléfono: (0241) 8714240 (master) – Fax: (0241) 8712394

**REPÚBLICA BOLIVARIANA DE VENEZUELA
UNIVERSIDAD JOSÉ ANTONIO PÁEZ
FACULTAD DE INGENIERÍA
ESCUELAS DE ELECTRÓNICA Y TELECOMUNICACIONES**

**DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA
DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS,
DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y
TELECOMUNICACIONES DE LA UJAP**

Trabajo de Grado presentado como requisito parcial para optar al título de
INGENIERO EN ELECTRÓNICA y TELECOMUNICACIONES

Autores: Jhorman Oliveros
C.I 20.697.925
Nolberto Goncalves
C.I 12.856.006
Tutor: Ing. Rainier Blanco

San Diego, Enero 2019



Universidad José Antonio Páez
Facultad de Ingeniería

FI-T -001-2018-IICR

Valencia, 06 de Noviembre de 2018.

Ciudadanos:
Jhorman Oliveros
C.I: 20.697.925
Nolberto Goncalves
C.I: 12.856.006
Presente.-

Cumplo con informarle que la Comisión de Trabajo de Grado y Pasantías de la Facultad de Ingeniería en su reunión N° 01-2018 de fecha 06-11-2018 aprobó el proyecto de trabajo de grado titulado **DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES DE LA UJAP** presentado por usted(es) como requisito para optar al título de Ingeniero en Telecomunicaciones y Electrónica.

Se ratifica la designación del Ing. Rainier Blanco, C.I: 11.556.607 y la Ing. Alicia Yáñez, C.I.: 4.598.880 como Tutores Académicos que lo asesorarán en el desarrollo de este proyecto.

Atentamente,



Prof. Zulay Salcedo
Decana de la Facultad de Ingeniería

c. c. Coordinación de Pasantías y Trabajo de Grado (1).

ZS/fr

REPÚBLICA BOLIVARIANA DE VENEZUELA
UNIVERSIDAD JOSÉ ANTONIO PÁEZ
FACULTAD DE INGENIERÍA
ESCUELAS DE ELECTRÓNICA Y TELECOMUNICACIONES

ACEPTACIÓN DEL TUTOR

Quien suscribe, Ingeniero Rainier José Blanco Parra, titular de la cedula de identidad 11.556.607, en mi carácter de tutor del trabajo de grado presentado por los ciudadanos JHORMAN OLIVEROS TORRES, titular de la cedula de identidad 20.697.925; NOLBERTO GONCALVES RODRIGUEZ, titular de la cedula de identidad 12.856.006, titulado: **“DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES DE LA UJAP”**, presentado como requisito parcial para optar a los títulos de ingeniero en Electrónica y Telecomunicaciones, considero que dicho trabajo reúne los méritos suficientes para ser sometido a las presentación pública y evaluación por parte del jurado examinador que se designe.

En san Diego, a los once días del mes de diciembre del año 2018



Ing. Rainier J. Blanco P.

ÍNDICE GENERAL

CONTENIDO	Pp.
RESUMEN	viii
INTRODUCCIÓN	1
CAPÍTULOS	
I EL PROBLEMA	2
1.1 Planteamiento del Problema.....	2
1.2 Objetivos de la Investigación.....	5
1.2.1 Objetivo General.....	5
1.2.2 Objetivos Específicos.....	5
1.3 Justificación de la Investigación.....	6
1.4 Alcances y Limitaciones de la Investigación.....	7
II MARCO TEÓRICO	8
2.1 Antecedentes de la Investigación.....	8
2.2 Bases Teóricas.....	11
2.2.1 Detección de Errores en la Transmisión Serial de Datos...	11
2.2.1.1 Tipos de Errores y Métodos de Detección....	13
2.2.1.2 Comprobación de Paridad.....	14
2.2.2 Laboratorio Interactivo en Electrónica y	16
Telecomunicaciones.....	
2.2.2.1 Circuitos Digitales y las FPGA.....	17
2.2.2.2 Tarjeta Nexys2.....	19
III MARCO METODOLÓGICO	24
3.1 Nivel de la Investigación.....	24
3.2 Modalidad de la Investigación.....	24
3.3 Diseño de la Investigación.....	25
3.4 Población y Muestra.....	25
3.5 Técnicas e Instrumentos de Recolectar Datos.....	27
3.6 Validez y Confiabilidad del Instrumento.....	28
3.7 Fases o Etapas de la Investigación.....	29
IV DIAGNÓSTICO Y FACTIBILIDAD	
4.1 FASE I.....	31
4.1.1 Resultados del Cuestionario Aplicado a los Estudiantes....	32
4.1.2 Interpretación de los Resultados Obtenidos.....	42
4.1.2.1 Dimensión Hardware	42
4.1.2.2 Dimensión Software	43
4.1.3 Conclusiones del Diagnóstico.....	45
4.2 FASE II.....	45
4.2.1 Factibilidad Técnica	45

4.2.2	Factibilidad Económica	45
4.2.3	Factibilidad Institucional	46
4.2.4	Conclusiones de la Factibilidad.....	46
V	DISEÑO DE LA PROPUESTA	47
5.1	FASE III.....	47
5.1.1	Objetivos del Laboratorio.....	47
5.1.1.1	Objetivo General.....	47
5.1.1.2	Objetivos Específicos.....	47
5.1.2	Beneficios y Limitaciones del Laboratorio	47
5.1.3	Manual del Laboratorio.....	48
5.2	Aspectos Finales.....	75
5.2.1	Conclusiones.....	75
5.2.2	Recomendaciones.....	76
	REFERENCIAS	78
	ANEXOS	81
A	Tabla de Especificaciones del Instrumento.....	82
B	Instrumento (Cuestionario).....	83
C	Administración del Cuestionario.....	85
D	Validación (Carta dirigida al Experto)	86
E	Respuesta de Validación (Experto 1)	87
F	Respuesta de Validación (Experto 2)	88
G	Respuesta de Validación (Experto 3)	89
H	Hoja de Cálculo (Coeficiente de Confiabilidad)	90

LISTADO DE FIGURAS

		Pp.
1	Transmisión en Serie y Transmisión en Paralelo.....	12
2	Error de Bit y Error de Ráfaga.....	13
3	Compuertas XOR para los circuitos de paridad en cascada y en árbol.....	15
4	Generador de Paridad impar/par de 9 bits 74x280 en diagrama lógico y símbolo lógico tradicional.....	16
5	Fuentes de Alimentación de Nexys2.....	20
6	Circuitos de Programación de Nexys2.....	20
7	Dispositivos y Circuitos I/O de Nexys2.....	23
8	Escala de Confiabilidad.....	29

LISTADO DE CUADROS

	Pp.
1 Resultados Ítem N° 1	32
2 Resultados Ítem N° 2	33
3 Resultados Ítem N° 3	34
4 Resultados Ítem N° 4	35
5 Resultados Ítem N° 5	36
6 Resultados Ítem N° 6	37
7 Resultados Ítem N° 7	38
8 Resultados Ítem N° 8	39
9 Resultados Ítem N° 9	40
10 Resultados Ítem N° 10	41
11 Resumen de Resultados Obtenidos	42

LISTADO DE GRÁFICOS

	Pp.
1 Gráfico 1	32
2 Gráfico 2	33
3 Gráfico 3	34
4 Gráfico 4	35
5 Gráfico 5	36
6 Gráfico 6	37
7 Gráfico 7	38
8 Gráfico 8	39
9 Gráfico 9	40
10 Gráfico 10	41

REPÚBLICA BOLIVARIANA DE VENEZUELA
UNIVERSIDAD JOSÉ ANTONIO PÁEZ
FACULTAD DE INGENIERÍA
ESCUELAS DE ELECTRÓNICA Y TELECOMUNICACIONES

**DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA
DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS,
DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y
TELECOMUNICACIONES DE LA UJAP**

Autores: Jhorman Oliveros
Nolberto Goncalves
Tutor: Ing. Rainier Blanco
Fecha: Enero 2019

RESUMEN

La investigación tuvo como objetivo desarrollar un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP, empleando recursos disponibles en los laboratorios que actualmente están en desuso, como es el caso de las tarjetas FPGA. Las bases teóricas fueron soportadas en la Transmisión de Datos, Redes de Comunicación y Computadoras (Forouzan, 2007 y Stallings, 2004), Sistemas de Comunicaciones Electrónicas (Tomasi, 2003) y, en los Principios y Practicas del Diseño Digital (Wakerly, 1999). En el ámbito metódico, se asumió un nivel descriptivo (Arias, 2006), bajo una modalidad de Proyecto factible (UPEL, 2016) que contempló un diseño documental, de campo y transeccional. La población estuvo conformada por los estudiantes de las carreras de Ingeniería en Electrónica y en Telecomunicaciones de la UJAP del 5to semestre en adelante, correspondientes al periodo académico 2018-2, se seleccionó una muestra y se aplicó un cuestionario para diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño del laboratorio. Luego del diagnóstico, se determinó la viabilidad técnica, económica e institucional de la propuesta y; por último, se procedió al diseño del laboratorio que incluye un manual de prácticas con las FPGA. Se recomienda su aplicación en las asignaturas involucradas, ya que puede representar un valor agregado a la didáctica universitaria de la institución, permitiendo la formación integral del futuro ingeniero.

Descriptores: Laboratorio, Transmisión serial, Detección de Errores.

INTRODUCCIÓN

El constante y vertiginoso avance tecnológico en la sociedad amerita y demanda procesos perennes de comunicaciones y telecomunicaciones. Considerando los bits como la unidad mínima de información, se hace referencia a gigantescas cantidades de datos que se requieren transmitir con cierto margen de exactitud y fidelidad. En el contexto descrito anteriormente, es menester de las instituciones universitarias garantizar la formación integral de ingenieros en las áreas de electrónica y telecomunicaciones, capaces de abordar procesos vinculados a la transmisión de datos, así como, la detección de errores, fundamentales para garantizar la comunicación.

En virtud de lo anterior, la presente investigación desarrolló un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la Universidad José Antonio Páez. Para ello, se realizó la división en cinco secciones o capítulos.

En el Capítulo I se presenta el planteamiento del problema, el objetivo general, así como los específicos, la justificación, el alcance y las limitaciones del estudio. En el Capítulo II se muestran los antecedentes de la investigación y sus bases teóricas. En el Capítulo III se expone el marco metodológico, en el cual se explana el nivel, modalidad y diseño de investigación; además, la población y muestra, las técnicas e instrumentos para recolectar datos, validez y confiabilidad del instrumento, culminando con las fases o etapas de la investigación.

En el Capítulo IV se presentan los resultados de las dos primeras fases, diagnóstico y factibilidad. Mientras que, el capítulo V expone los resultados de la tercera fase, a saber, el diseño del laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP. Finalmente, se muestran las referencias citadas en el trabajo y los anexos que lo complementan.

CAPÍTULO I EL PROBLEMA

El presente capítulo describe la problemática y motivos por los cuales fue necesario el desarrollo de la presente investigación. Además, se muestran los objetivos alcanzados, la justificación del estudio, su alcance y limitaciones.

1.1 Planteamiento del Problema

La comunicación es una actividad inherente al ser humano, aspecto fundamental en todas las sociedades; ya que las personas se enteran de los distintos problemas, cambios, actividades y conflictos que suceden a su alrededor, sin tener que estar presentes en el lugar que ocurren. La evolución constante de los sistemas de comunicaciones es garantía del desarrollo tecnológico en la humanidad, al diversificar los elementos intervinientes en este proceso.

Ese proceso de transmisión entre un emisor y un receptor puede ocurrir en distancias relativamente cortas o grandes, además, “en todo proceso de transmisión habrá ruido, independientemente de cómo haya sido diseñado” (Stallings, 2004; p. 183); de allí la importancia de detectar errores para garantizar que la información que reciba el receptor sea correcta. La utilización de sistemas de detección y corrección de errores hacen posible reducir al mínimo la probabilidad de que un error pueda producir graves consecuencias en un sistema, aumentando de esta manera su confiabilidad.

Es así como, la efectividad de un sistema de comunicación reside, en primera instancia, en los mecanismos para detectar y corregir errores. En el caso de la transmisión digital, se presenta un error cuando existe la alteración de un bit (se envía un 1 binario y se recibe un 0, ó cuando se transmite un 0 y se recibe un 1). El primer esquema para detectar errores, tal y como lo indica Stallings (2004), consiste en añadir un bit de paridad al final de cada bloque de datos, el valor de ese bit se determina de tal forma que el carácter resultante tenga un número impar de unos (paridad impar) o un número par (paridad par).

Dependiendo del sistema de comunicación y sus características, el método de detección de errores puede cambiar, incorporándose, además, la corrección de este. Sin

embargo, Foruzan (2007) indica que algunos pueden tolerar un pequeño nivel de errores; como ejemplo menciona los errores aleatorios en las transmisiones de audio o video, los cuales pueden ser tolerados. Pero, cuando se refiere a texto, se espera un nivel alto de precisión, tal y como ocurre con el código ASCII (*American Standard Code for Information Interchange*), código estándar que emplea 7 bits para representar los caracteres y con esto, normalizar los códigos de comunicación de datos. Tal y como menciona Wayne (2003), el ASCII es un conjunto de caracteres de siete bits y tiene 2^7 ó 128 combinaciones, el bit menos significativo se llama b0, y el más significativo se denomina b6. El b7 no es parte del código ASCII, sino se reserva, en general, como bit de paridad.

Ahora bien, en el ámbito académico y de investigación, es importante disponer de los medios y recursos (humanos y materiales) para abordar el estudio de la detección de errores; ya que, en el caso de los ingenieros en formación vinculados al área, deben tener contacto directo con experiencias prácticas que permitan evidenciar el contenido teórico ya establecido y, además, constatar su utilidad en el campo en el cual se van a desempeñar profesionalmente.

De lo anterior se desprende, que el ámbito académico universitario no debe desvincularse del quehacer técnico y tecnológico. En el caso de la Universidad José Antonio Páez (UJAP), ubicada en el municipio San Diego, Estado Carabobo, tiene entre sus ofertas de pregrado, la formación de Ingenieros en las áreas de Electrónica y Telecomunicaciones, vinculadas de manera directa con los aspectos descritos en los párrafos anteriores.

En la referida institución, se ha constatado que dispone de laboratorios de electrónica, comunicaciones, máquinas eléctricas, redes, control de procesos, automatización y robótica; los cuáles han sido dotados con materiales e implementos acordes a las asignaturas establecidas en los pensum de ambas carreras. Sin embargo, motivado a factores externos propios de la situación macroeconómica del país, aunado al proceso de vida útil de los equipos y componentes, así como, a la obsolescencia tecnológica propia del área; han incidido de manera negativa en la operatividad de los laboratorios, muy a pesar de los grandes esfuerzos que realizan las autoridades de la

institución, así como, los profesores y el personal técnico encargados de su administración.

La operatividad mencionada previamente se refleja en la cantidad de prácticas que los estudiantes pueden realizar de manera efectiva. Dentro de este contexto académico, se encuentran un conjunto de asignaturas que son comunes para ambas carreras (Ingeniería Electrónica y de Telecomunicaciones) las cuales bajo su naturaleza teórico-práctica requieren de manera ineludible, la experimentación en los laboratorios.

Considerando lo indicado anteriormente, en el caso específico de la transmisión de datos y los métodos de detección de errores, se tienen las asignaturas comunes para ambas carreras: Circuitos Digitales, Laboratorio de Circuitos Digitales y Transmisión de Datos (ésta última de carácter obligatorio para Ingeniería de Telecomunicaciones y electiva para Ingeniería Electrónica), las cuales contemplan estos aspectos dentro de sus contenidos programáticos.

El método de corrección de errores a través del bit de paridad constituye la base de los métodos de detección de errores, pues a partir de allí se edifican y complejiza la situación con los siguientes métodos, a saber, *Hamming* y *CRC* (Comprobación de Redundancia Cíclica), entre otros. No obstante, por la situación de los laboratorios descrita previamente, sus prácticas no siempre se cumplen en su totalidad, lo cual puede incidir de manera desfavorable en la formación integral de los futuros ingenieros.

En algunos casos, la institución cuenta con recursos o materiales, pero los mismos no se integran de manera coherente con otros componentes y procesos, con el propósito de efectuar prácticas que permitan de una manera interactiva, la consolidación de los contenidos teóricos abordados. Tal es el caso de las tarjetas FPGA (*Field Programmable Gate Array*), las cuales están disponibles en los laboratorios de la institución. Al respecto, la FPGA es un dispositivo reprogramable, cuya lógica y elementos de memoria pueden ser fácilmente modificados; y según Serralde (2013), esto provee gran flexibilidad y reduce riesgos en comparación con los ASICs (*Application Specific Integrated Circuits*), que no son reprogramables.

De esta manera se constata, cómo la situación además de incidir desfavorablemente en la formación integral del futuro ingeniero Electrónico y de

Telecomunicaciones, repercute en el cumplimiento de la misión y visión que tiene la UJAP como institución universitaria privada al servicio de la nación, que debe contribuir con el avance humanístico, científico y tecnológico de la sociedad; misión y visión que se encuentran claramente reseñadas en la página web de la institución. Aunado a lo anterior, es importante indicar lo mencionado por Cruz (2005):

En esta dinámica es necesario que la universidad tome la iniciativa de crear un ambiente de aprendizaje donde la formación práctica adquiera un papel preponderante y no dejar dicha acción y responsabilidad a las empresas del sector productivo. (p.3)

Considerando lo planteado en los párrafos anteriores, la presente investigación propone el desarrollo de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

1.2 Objetivos de la Investigación

1.2.1 Objetivo General

Desarrollar un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

1.2.2 Objetivos Específicos

1. Diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.
2. Determinar la factibilidad del diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.
3. Diseñar un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

1.3 Justificación de la Investigación

La investigación realizada resulta importante y necesaria, desde varios puntos de vista, los cuales se mencionan a continuación sin orden de jerarquía. En primer lugar, se tiene el beneficio a las personas involucradas: docentes, estudiantes, asistentes técnicos de los laboratorios y autoridades. A los estudiantes, ya que es una posible vía para garantizar su formación integral como futuros ingenieros del área de Electrónica y de Telecomunicaciones; a los profesores, pues la propuesta que se deriva de este estudio constituye un aporte que ellos pueden incorporar en su didáctica universitaria en las asignaturas asociadas al tópico abordado (Circuitos Digitales, Laboratorio de Circuitos Digitales y Transmisión de Datos). A los asistentes técnicos de laboratorio y autoridades (coordinadores, directores y decanos), ya que el laboratorio interactivo se presenta como una herramienta valiosa para apoyar su importante labor en la gestión y cogestión universitaria, en tiempos donde debe prevalecer la unión de esfuerzos mancomunados con un mismo fin o propósito.

En segundo lugar, se tiene el beneficio a la institución involucrada. El logro de toda institución no radica solo en la eficacia (obtener los resultados deseados), sino además, en la eficiencia (obtener los resultados deseados con el uso adecuado de los recursos disponibles). En este caso, el laboratorio interactivo que se propone en la investigación pretende conjugar recursos disponibles en los laboratorios de la UJAP, como lo es el caso de las tarjetas FPGA, con el aporte de los investigadores. De esta manera, la institución se beneficia, por cuanto dispone de un recurso que puede emplear en la formación de los futuros ingenieros en Electrónica y de Telecomunicaciones, cumpliendo así con su misión y visión como institución formadora de profesionales universitarios integrales.

En tercer lugar, y no menos importante, esta investigación está vinculada con estudios relacionados a los diversos métodos de detección y corrección de errores, en la transmisión de datos en forma serial o en forma paralela. De esta manera, sus aportes en el área podrían ser continuados con otros estudios que conlleven a la implementación de algoritmos y/o códigos más potentes para la detección de errores, como por ejemplo *Hamming* o CRC. Lo anterior, aunado al hecho de concebir las áreas de Electrónica y

Telecomunicaciones como un conjunto de conocimientos, teorías, técnicas y procedimientos que se conjugan como un todo armónico, en aras de ofrecer alternativas de solución a problemáticas propias de su naturaleza y competencia.

1.4 Alcance y Limitaciones de la Investigación

En relación con el alcance, la investigación abarcó únicamente una parte de la población de la Universidad José Antonio Páez, específicamente, los estudiantes y profesores de pregrado de las carreras Ingeniería de Telecomunicaciones e Ingeniería Electrónica, así como los asistentes técnicos de los laboratorios de las áreas referidas. Así mismo, el laboratorio interactivo propuesto representa un aporte que los investigadores dejan a los laboratorios de la institución, como parte de su Trabajo de Grado.

En relación con las limitaciones, solo se considera el método de detección de errores mediante el bit de paridad (par o impar), específicamente hasta 8 bits. Lo anterior obedece a razones asociadas a la disponibilidad de recursos (humanos y materiales), así como, la limitante del tiempo, ya que la investigación corresponde al Trabajo de Grado que los investigadores deben concluir en un lapso perentorio de siete meses.

Además, es importante señalar que la propuesta del laboratorio interactivo se realizó para la transmisión de datos a baja velocidad, que en el caso de la transmisión serial la velocidad máxima es de unos 115 Kbps (115.000 bps). Esto obedece a que el método de paridad no es infalible, pues como lo menciona Stallings (2004), en velocidades de transmisión altas los impulsos de ruido son, frecuentemente, lo suficientemente largos como para destruir más de un bit.

CAPÍTULO II

MARCO TEÓRICO

En el presente capítulo se presentan los diferentes trabajos que sustentaron el desarrollo de esta investigación, de igual manera, se muestran las principales bases teóricas desglosadas en Detección de Errores en la Transmisión Serial de Datos y Laboratorio Interactivo en Electrónica y Telecomunicaciones.

2.1 Antecedentes de la Investigación

Para iniciar, se tiene el trabajo de Vinuesa (2017), titulado: “**Análisis y evaluación de la técnica mejorada de corrección de errores Reed-Solomon utilizando entrelazado de bytes en un canal variable en el tiempo**” para optar por el título de Ingeniero en Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional, Quito (Ecuador), cuyo principal objetivo fue buscar alternativas que permitan el envío confiable de la información a través de los medios de transmisión, mediante la combinación del código detector y corrector de errores Reed-Solomon y el entrelazado de bytes que permita reducir la cantidad de errores de transmisión en el canal. Dicho proyecto hizo uso de los códigos RS (63,55) y el RS (63,59), ambos conformados por símbolos de 6 bits, con una cantidad de 64 símbolos valor que determinará la cantidad de combinaciones de entrelazados posibles.

Las pruebas realizadas con la implementación de los códigos en una tarjeta FPGA arrojan resultados similares a los obtenidos con la simulación de cada uno de los códigos, de esta manera aseveran que el código RS (63,55) tiene un mejor rendimiento que RS (63,59); es decir, permite la transmisión de información a través de un canal con mayor presencia de ruido. La investigación arroja como resultado que la combinación del entrelazado para los códigos Reed-Solomon analizados mejoran la tolerancia al ruido de los códigos permitiendo el envío de información de manera más confiable.

Este antecedente se vincula con la presente investigación, ya que ambos contemplan el estudio de la detección de errores en la transmisión de datos; con la diferencia que la presente disertación contempló la detección solo en la transmisión

serial a baja velocidad, mientras que la investigación reseñada considera códigos de detección y corrección de errores con otras características específicas y puntuales.

Para continuar, se tiene el trabajo de Solano (2016), titulado: “**Implementación en una FPGA de un modulador y un demodulador QPSK en banda base**” para optar al título de Ingeniero en Electrónica y Telecomunicaciones de la Escuela Politécnica Nacional, Quito (Ecuador), donde se desarrollaron los diseños para un modulador y demodulador QPSK en banda base, los cuales fueron realizados con el lenguaje VHDL. En dicho proyecto, se implementó sobre una tarjeta FPGA el modulador y demodulador, evaluando entre tres técnicas, la más eficaz para su funcionamiento, desarrollando un conjunto de pruebas didácticas que permiten variar la velocidad de transmisión, frecuencia de portadora y amplitud de la señal modulada. La comparación de las técnicas de modulación dio como resultado que la técnica que emplea las memorias es la más eficiente debido a que ahorra recursos, consume menos potencia y tiene una operación de velocidades más altas.

Del mencionado trabajo se extrae que, la herramienta de simulación para la FPGA es de gran ayuda para comprobar el funcionamiento de cualquier diseño, aunque no siempre lo que funciona en la simulación es sintetizable. Es por esto que se debe tener en mente que la programación es orientada al hardware y, a veces, los algoritmos que funcionan en los diseños de software, pueden no resultar útiles al diseñar hardware.

Para continuar se tiene la investigación realizada por Ortega (2015), titulada: “**Sistema de transmisión segura punto a punto y multipunto en medios compartidos**” para optar por el grado de Doctor en Informática del Instituto Tecnológico de Buenos Aires, Buenos Aires (Argentina). En esta tesis se presentó una técnica de transmisión de datos en redes de tipo difusión, con énfasis en la privacidad, utilizando técnicas de espectro expandido. Las redes de difusión deben generalmente contar con algún mecanismo que ofrezca privacidad, o de lo contrario su uso se restringe a aplicaciones que, o bien no requieren de ningún tipo de privacidad, o la privacidad se logra utilizando protocolos de alto nivel.

En dicho trabajo, los problemas de seguridad en las redes de difusión motivaron el diseño que utiliza un medio óptico o acústico donde la privacidad está implementada

en la capa física, sin requerir ningún tipo de soporte de software o del sistema operativo. El objetivo fue crear una VLAN (Virtual Local Área Network) donde cada cliente pueda realizar comunicaciones de datos privadas con cualquier otro, sin revelar ninguna información a los demás utilizando dispositivos FPGA como una alternativa de bajo costo basada en la generación y transmisión de señales ópticas. El resultado es un protocolo VLAN capaz de soportar un volumen de información o throughput constante sin importar la carga de la red, manteniendo completa privacidad entre sus nodos.

Un aspecto que relaciona este antecedente con la presente investigación reside en el uso de la tarjeta FPGA; además, se tiene que es un estudio que también contempló la transmisión de datos, con la diferencia que se centró en una técnica novedosa de transmisión de datos en redes tipo difusión y su principal interés fue el asunto referente a la seguridad.

Para finalizar se tiene la investigación realizada por Pérez (2015), titulada: **“Diseño de prácticas de laboratorio integrando un equipo de radio definido por software SDR y un transmisor FM”**, para optar al título de ingeniero en Telecomunicaciones de la Universidad José Antonio Páez, San Diego (Venezuela). Investigación efectuada en la escuela de Telecomunicaciones, de la Facultad de Ingeniería de la referida Universidad, la cual presentaba una problemática vinculada a los equipos presentes en los laboratorios, ya que algunos se encuentran en desuso por diversas razones y además, hay carencia de ciertos equipos que pudieran ser útiles para las prácticas de laboratorio.

El objetivo del estudio fue diseñar experiencias prácticas de laboratorio integrando un equipo de radio definido por software SDR y un transmisor FM. Metodológicamente se enmarcó como un proyecto factible, apoyándose en una investigación documental y de campo; además, se emplearon como técnicas de recolección de datos la observación, entrevistas, encuestas y revisión documental. Estas herramientas fueron empleadas en cuatro fases que conllevaron a la propuesta de integrar dos nuevos equipos para los laboratorios y a su vez, diseñar un conjunto de nuevas prácticas para tres asignaturas en las que se haría uso de las mismas.

A pesar de que, este antecedente no se vincula al empleo de tarjetas programables, ni al abordaje de métodos de detección de errores en la transmisión de datos; se considera que el mismo es un antecedente de la presente investigación por varios aspectos que se mencionan a continuación. En primer lugar, se tiene que el ámbito micro de estudio es el mismo, con la diferencia que este antecedente consideró solo la escuela de Telecomunicaciones. En segundo lugar, contempló una situación problemática en los laboratorios de la institución con características muy similares a las detalladas en el contexto actual de la presente investigación. En tercer lugar y no menos importante, la propuesta derivada de este antecedente, al igual que la desarrollada en la presente investigación, pretenden dar un aporte positivo en el reforzamiento de las prácticas de laboratorio, fundamentales para los futuros ingenieros.

2.2. Bases Teóricas

En esta sección se describen las bases teóricas en las cuales está basada la investigación, con la finalidad de comprender de forma íntegra cada uno de los conceptos, técnicas y herramientas utilizadas para realizar el proyecto. Al respecto, se han subdividido en dos partes fundamentales y enlazadas entre sí, a saber, detección de errores en la transmisión serial y laboratorio en la transmisión serial de datos.

2.2.1 Detección de Errores en la Transmisión Serial de Datos

La comunicación de datos es el proceso de transferir información digital, por lo general, en forma binaria, entre dos o más puntos. Tal y como lo indica Tomasi (2003), dichos datos pueden ser de naturaleza alfabética, numérica o simbólica; tanto en la fuente como en el destino, los datos están en forma digital; no obstante, en la transmisión pueden estar en forma digital o analógica.

La información binaria se puede transmitir en forma paralela o en serie. Considerando el autor citado previamente, en paralelo cada posición de bit a transmitir tiene su propia línea de transmisión y todos los bits se pueden transmitir durante el tiempo de un solo pulso de reloj. Mientras que en la transmisión serial, hay una sola línea de transmisión y solo se puede transmitir por cada unidad de tiempo. Lo anterior se visualiza en la figura 1.

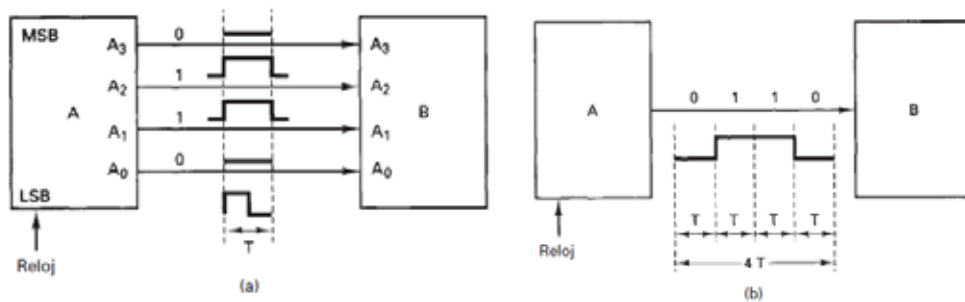


Figura 1: (a) Transmisión en Paralelo y (b) Transmisión en Serie
Fuente: Tomasi. (2003)

Las diferencias que aportan ambos tipos de transmisión residen entre la velocidad y la sencillez. La transmisión de datos se puede realizar con mucha mayor rapidez empleando el sistema en paralelo; no obstante, se requieren más líneas entre la fuente y el destino. Generalmente, se emplea la transmisión en paralelo para comunicaciones en distancias cortas, y dentro de una computadora. La transmisión en serie se usa para comunicaciones a gran distancia. En el caso que comprende al presente estudio, solo se aborda la transmisión serial de datos.

Ahora bien, las redes deben ser capaces de transferir datos desde un dispositivo a otro con una exactitud total. Un sistema que no puede garantizar que los datos recibidos de un dispositivo son idénticos a los transmitidos por otro es esencialmente inútil. Sin embargo, tal y como lo indica Forouzan (2007), siempre que se transmiten datos de un origen a un destino, se pueden corromper por el camino. De hecho, es más probable que buena parte del mensaje se vea alterado en el tránsito que todos los contenidos lleguen intactos. Muchos factores, incluyendo el ruido de la línea, pueden alterar o eliminar uno o más bits de una unidad de datos determinada. Los sistemas fiables deben tener mecanismos para detectar y corregir tales errores. En relación con la detección de errores, Tomasi (2003) indica que:

La detección de errores no es más que el proceso de vigilar los datos recibidos y determinar cuándo ha habido un error de transmisión. Las técnicas de detección de errores no identifican cuál o cuáles bits están equivocados; sólo indican que hubo un error. (p. 535)

La detección de errores se lleva a cabo calculando un código en función de los bits de entrada, código que se añade a los bits a transmitir y, para comprobar si ha

habido errores, el receptor calcula el código en función de los bits recibidos y lo compara con el código recibido. La corrección de errores opera de forma similar a la detección de errores, pero en este caso será posible corregir ciertos errores en la secuencia de bits recibida.

2.2.1.1 Tipos de Errores y Métodos de Detección

Antes de estudiar los mecanismos que permiten la detección y/o corrección de errores, es importante comprender cuáles son esos posibles errores. Al respecto, Forouzan (2007) indica que existen dos tipos de errores: Error de Bit y Error de Ráfaga.

En el Error de Bit únicamente un bit de una unidad de datos determinada (byte, caracter, paquete, etc) cambia de 0 a 1 ó de 1 a 0. El error de Ráfaga significa que dos o más bit de la unidad de datos han sido alterados. Es importante notar que los errores de ráfaga no implican que se afecten bits consecutivos. La longitud de la ráfaga se mide desde el primer hasta el último bit incorrecto. En la figura 2 se ilustra la diferencia entre ambos tipos de errores.

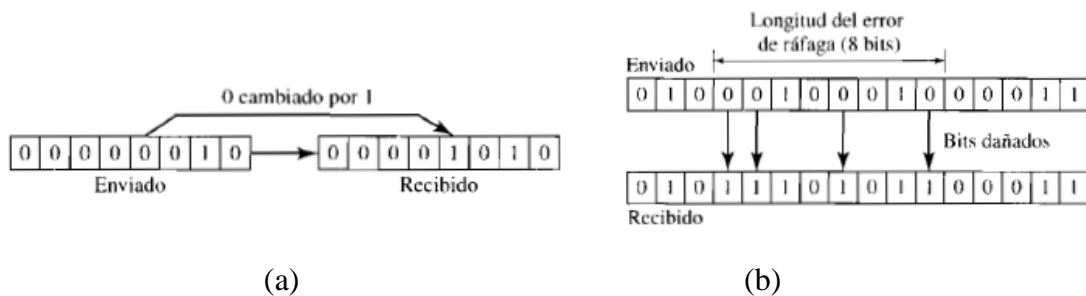


Figura 2: (a) Error de bit y (b) Error de Ráfaga
Fuente: Forouzan (2007)

En relación con la ráfaga de errores, Stallings (2004) indica que, según la norma IEEE 100, es un grupo de bits donde dos bits erróneos cualesquiera estarán separados por menos de un número x de bits correctos. El último bit erróneo en 1 ráfaga y el primer bit erróneo de la siguiente estarán separados consecuentemente por al menos x bits correctos. Además, este autor alude que un error aislado se puede dar en presencia de ruido blanco, cuando cualquier deterioro aleatorio en la relación SN (señal-ruido) sea suficiente para confundir al receptor en un único bit; las ráfagas tienden a ser más frecuentes y más difíciles de tratar.

Ahora bien, los mecanismos en que un sistema reacciona a los errores de transmisión son diversos y varían mucho según su naturaleza y características. Las técnicas más comunes para los circuitos de comunicación de datos, según Tomasi (2003), son: redundancia, ecoplex, codificación de cuenta exacta, paridad, suma de comprobación, comprobación de redundancia vertical y horizontal y comprobación de redundancia cíclica. En el caso que compete a la presente investigación, solo se abordó la técnica referente a la comprobación de paridad, ya sea par o impar.

2.2.1.2 Comprobación de Paridad

Constituye el esquema más sencillo para detectar errores, en el cual:

...se añade un solo bit (llamado bit de paridad) a cada carácter, para obligar a que la cantidad total de unos en el carácter, incluyendo el bit de paridad, sea un número impar (paridad impar) o bien un número par (paridad par). (Tomasi, 2003; p.537).

Un ejemplo característico, según Stallings (2004), es la transmisión de caracteres en la que se añade un bit de paridad por cada carácter IRA de 7 bits. El valor de este bit se determina de tal forma que el carácter resultante tenga un número impar de unos (paridad impar) o un número par (paridad par).

El bit de paridad es independiente de la cantidad de ceros en el código, y no lo afectan los pares de unos. No obstante, si dos (o cualquier número par) de bits se invierten debido a un error, aparecerá un error no detectado. Normalmente, se utiliza paridad par para la transmisión síncrona y paridad impar para la asíncrona.

La utilización de bits de paridad no es infalible, ya que los impulsos de ruido son, a menudo, lo suficientemente largos como para destruir más de un bit, especialmente a velocidades de transmisión altas. (Stallings, Op. Cit.). Razón por la cual, la propuesta que emergió de esta investigación se consideró para transmisiones a bajas velocidades. Ahora bien, considerando lo planteado por Tomasi (2003), la definición de paridad es equivalencia o igualdad. En el ámbito de la lógica digital, una compuerta lógica que determine cuando todas sus entradas son iguales es la XOR. Con una compuerta XOR, si todas las entradas son iguales (todas 0 ó todas 1), la salida es 0.

Por ende, constituye la base para el diseño de circuitos lógicos para comprobar de paridad par o impar.

La figura 3 muestra como n compuertas XOR pueden conectarse en cascada para formar un circuito con $n+1$ entradas y una sola salida, la parte (a) se conoce como circuito de paridad impar, porque su salida es 1, si un número impar de sus entradas es 1. La parte (b) también es uno de paridad impar, pero es más rápido, ya que sus compuertas se conectan en una estructura tipo árbol. Si la salida de cualquier circuito es invertida, se obtiene un circuito de paridad par, cuya salida es 1 si un número par de sus entradas es 1.

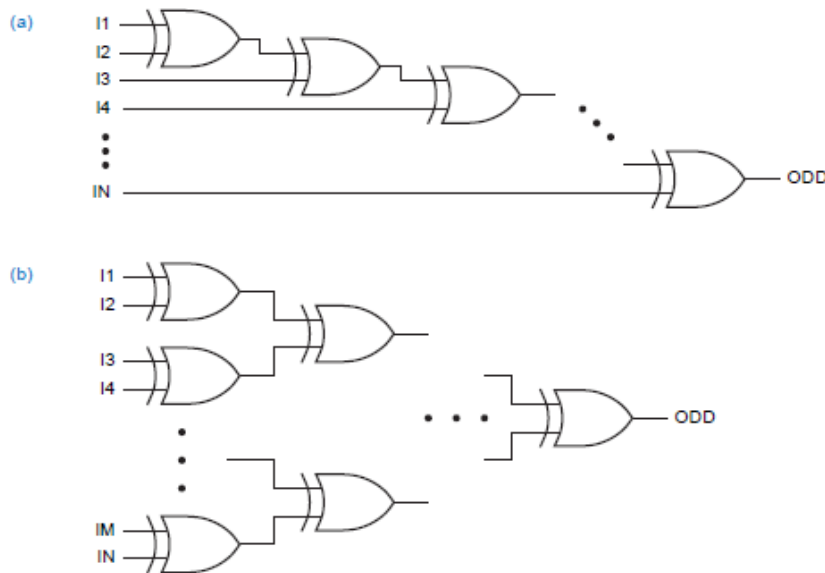


Figura 3: Compuertas XOR para circuitos de paridad (a) en cascada (b) en árbol

Fuente: Wakerly (1999)

De esta manera, se plantea los aspectos básicos para el diseño con compuertas digitales que permitan los métodos de verificación de paridad (par o impar). Ahora bien, en lugar de construir un circuito de paridad de bits múltiples con compuertas XOR discretas, se puede emplear, por ejemplo, un generador de paridad de 9 bits 74x280, que se ilustra en la figura 4, el cual tiene nueve entradas y dos salidas que indican si un número par o impar de entradas es 1.

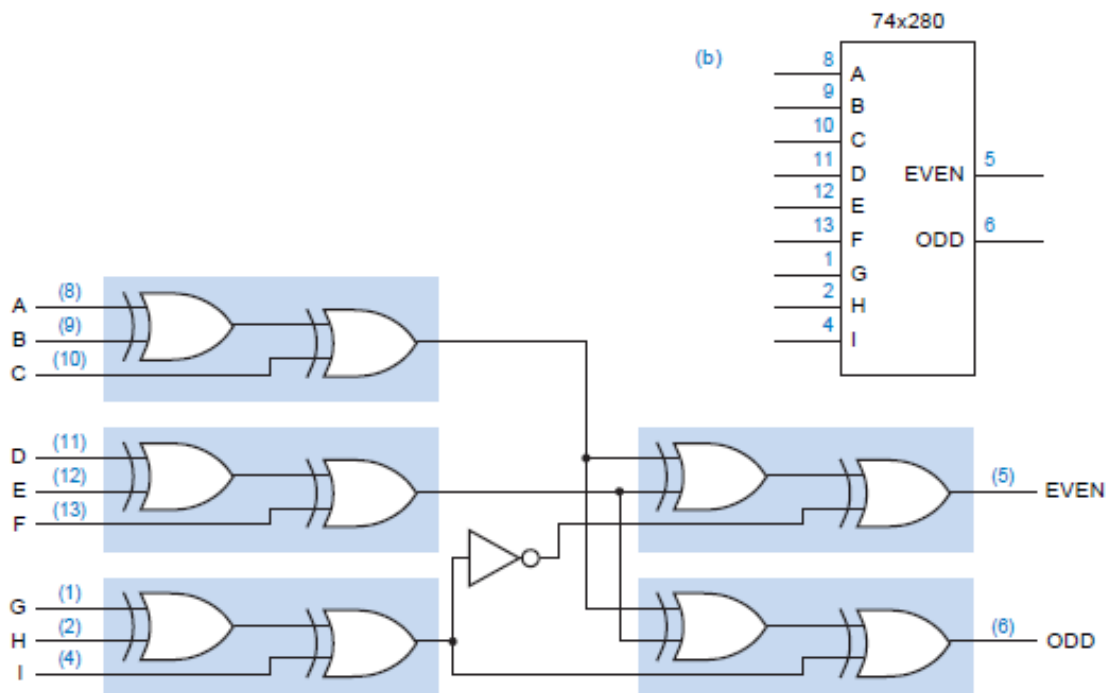


Figura 4: Generador de Paridad impar/par de 9 bits 74x280

(a) diagrama lógico y (b) símbolo lógico tradicional

Fuente: Wakerly (1999)

Los circuitos de paridad como el 74x280 se utilizan tanto para generar el valor correcto del bit de paridad, cuando una palabra de código es almacenada o transmitida, como también, para verificar el bit de paridad cuando una palabra de código es recuperada o recibida. De esta manera, se puede detectar errores en la transmisión de datos.

2.2.2 Laboratorio Interactivo en Electrónica y Telecomunicaciones

En el ámbito de formación de las ciencias fácticas, un aspecto fundamental reside en la experimentación o comprobación de los aspectos teóricos contemplados en su conjunto de conocimientos, leyes o enunciados. En el caso de la ingeniería, la formación del futuro profesional debe ser un “...factor esencial de desarrollo profesional que debe trascender el simple reconocimiento de las habilidades o el ascenso en competencias laborales...” (Cruz, 2005; p.2); por ende, se alude a una formación integral en correspondencia con el perfil de egreso y la descripción que la UJAP plantea

en su página web sobre las carreras de Ingeniería Electrónica e Ingeniería en Telecomunicaciones.

La Electrónica y las Telecomunicaciones son carreras afines, de indisoluble relación, y sus prácticas de laboratorio debe ser estructuradas y dinamizadas para lograr incentivar y desarrollar en los estudiantes el ejercicio de pensar, de fomentar la creatividad y el ingenio; además de propiciar el ambiente adecuado para fomentar un aprendizaje cooperativo. Las actividades dentro del laboratorio deben desarrollarse en un ámbito social de experiencia compartida e interactiva, donde el estudiante demuestre su habilidad de aplicar la teoría, se encuentre en nuevas situaciones problemáticas, favoreciendo la comunicación y el desarrollo del pensamiento crítico y analítico.

Aludiendo al autor citando previamente, refiere que en los laboratorios de Electrónica, no se trata solo de desarrollar y reforzar habilidades integrales en el análisis y comprensión contextual de problemas, sino que además deben ser expuestos a tecnologías que permitan visualizar el acelerado cambio al que están sometidos en las áreas de microelectrónica, sistemas digitales, automatización y radio comunicaciones. Lo planteado por Cruz (Op. Cit.) reafirma una vez más lo planteado en esta investigación y el producto desarrollado, un laboratorio para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones; lo cual permitirá además de afianzar la vinculación teórico-práctica de ambas carreras, el empleo de recursos disponibles en los laboratorios de la institución, como lo son las tarjetas FPGA (*Field Programmable Gate Array*).

2.2.2.1 Circuitos Digitales y las FPGA

Los circuitos digitales en el ámbito de formación del ingeniero han adquirido especial importancia en las últimas décadas dentro de los programas, asignaturas o unidades curriculares que componen su pensum de estudios; ya que complementan la experiencia de los laboratorios reales con instrumentación clásica en el aprendizaje de la electrónica.

En este ámbito, se diferencian de manera considerable el empleo de circuitos programables y no programables. Al respecto; Castillo, Vásquez, Ortigón y Rodríguez (2008), mencionan que la formación práctica del estudiante en ingeniería se basaba en

experiencias con circuitos no programables; en las cuales, implementaban arquitecturas de diseños digitales (sumadores, restadores, multiplicadores, entre otros) los cuales eran laboriosos de realizar, con diseños de desempeño muy pobres por la mínima cantidad de bits que alcanzaban a procesar. Por ende, al incrementar la complejidad de los diseños, las practicas no se podían desarrollar en una sola sesión de un curso de electrónica digital.

En contraposición, y debido al constante avance tecnológico que ha permitido la evolución de los dispositivos, se ha mejorado el diseño e implementación de circuitos digitales, empleando tarjetas de fácil programación que además de disminuir el tiempo para el desarrollo de las prácticas de laboratorio, son tarjetas versátiles que pueden ser reconfigurables por el usuario según sus necesidades e intereses.

Las FPGA son un sistema digital configurable que se caracterizan porque su funcionalidad se puede modificar, cambiando las conexiones entre sus recursos lógicos, que contiene componentes capaces de realizar funciones lógicas mediante compuertas and, or, xor, entre otras. También, cuenta con elementos de memoria interna y componentes embebidos por el fabricante como microcontroladores (Castillo y otros, Op. Cit.). Por ello, se utilizan cada vez más para desarrollar sistemas electrónicos complejos de control y de comunicaciones, que necesitan cambios de la función que realizan, no solo en la fase de diseño, sino también durante la vida útil.

Las FPGA tienen decenas de miles de puertas y biestables, y sus elementos de configuración son, en muchas de ellas, biestables asociados para constituir una memoria RAM. Por lo tanto, las FPGA son volátiles, tienen una gran cantidad de terminales de entrada-salida (del orden de 44 a 1000) y están asociadas a herramientas de diseño de alto nivel que facilitan la implementación de la funcionalidad deseada. El FPGA es un dispositivo de fácil programación mediante Lenguajes de Descripción de Hardware (HDL), se permite la programación concurrente y su principal ventaja es que puede programarse múltiples veces, bajando los costos cuando en el diseño se encuentran fallos y se requiera que sea reprogramado. Actualmente, permiten la implementación de sistemas muy complejos, cuyo hardware se adapta fácilmente para optimizar la realización de diferentes funciones a partir de módulos prediseñados y verificados.

Ahora bien, el VHDL, acrónimo de la combinación de VHSIC (*Very High Speed Integrated Circuit*) y HDL (*Hardware Description Language*); es un lenguaje de descripción de hardware definido por el IEEE (*Institute of Electrical and Electronics Engineers*) para describir circuitos digitales y automatizar diseños electrónicos, ampliamente usado en las tarjetas FPGA.

Su estructura está basada en el lenguaje ADA (lenguaje concurrente y orientado a objetos), por lo que no permite violaciones del tipo de datos, pues los datos están bien definidos. Tal y como lo indica Solano (2016), VHDL posee librerías que tiene operaciones y diferentes tipos de datos, además, se pueden crear otros tipos partiendo que los preexistentes. En consecuencia, se hace más fácil crear diseños de alto grado de abstracción, que para un usuario sin experiencia le llevaría bastante tiempo aprender a manejar los constructores de alto nivel.

2.2.2.2 Tarjeta Nexys 2

La placa de circuito Nexys2 es una plataforma de desarrollo de circuitos listo para usar, basado en un Xilinx Spartan 3E FPGA. Está constituido por un puerto USB2 de alta velocidad, 16 Mbytes de RAM y ROM, y varios dispositivos de E/S y puertos que lo convierten en una plataforma ideal para sistemas digitales de todo tipo. Todas las especificaciones técnicas indicadas en este apartado se obtuvieron en el Manual de Referencia de la Tarjeta Nexys2 (2011) y de la Guía de uso Tarjeta Nexys 2 FPGA Spartan-3E (Universidad Nacional de Colombia, 2012).

El bus de entrada de alimentación de la placa Nexys2 puede manejarse desde un cable USB, desde un suministro de 5VDC-15VDC, positivo central, enchufe de pared de 2.1mm, o desde un paquete de baterías. Un bloque de cortocircuito cargado en el puente de "selección de potencia" selecciona la fuente de alimentación. Los circuitos USB siempre se alimentan desde el cable USB; si no hay un cable USB conectado, el circuito USB se deja sin alimentación. La corriente total de la placa depende de la configuración del FPGA, la frecuencia del reloj y las conexiones externas. En los circuitos de prueba con aproximadamente 20K puertas enrutadas, una fuente de reloj de 50MHz y todos los LED iluminados, se extraen aproximadamente 200mA de corriente del suministro de 1.2V, 50mA del suministro de 2.5V y 100mA del suministro de 3.3V.

La corriente requerida aumentará si los circuitos más grandes están configurados en el FPGA y si hay tarjetas periféricas conectadas. La figura 5 resume los parámetros de la fuente de alimentación.

Figura 5

Table 1: Nexys2 Power Supplies		
Supply	Device	Amps (max/typ)
3.3V main	IC6: LTC1765	3A/100mA
2.5V FPGA	IC7: LTC3417	1.4A/50mA
1.2V FPGA	IC7: LTC3417	1.4A/200mA
1.8V SRAM	IC8: LTC1844	150mA/90mA
3.3V USB	IC5: LTC1844	150mA/60mA

Fuentes de Alimentación de Nexys2

Fuente: Digilent (2011).

El FPGA se puede programar de dos maneras: directamente desde una PC usando el puerto USB integrado, y desde una ROM Flash de plataforma incorporada (la ROM Flash también es programable por el usuario a través del puerto USB). Un puente en la placa Nexys2 determina qué fuente (PC o ROM) utilizará la FPGA para cargar su configuración. El FPGA cargará automáticamente una configuración de la ROM Flash de la plataforma al encenderse si el jumper de modo de configuración está configurado en "Serial serie". Si el jumper de modo está configurado en "JTAG", el FPGA esperará la programación desde la PC, a través del cable USB (Figura 6).

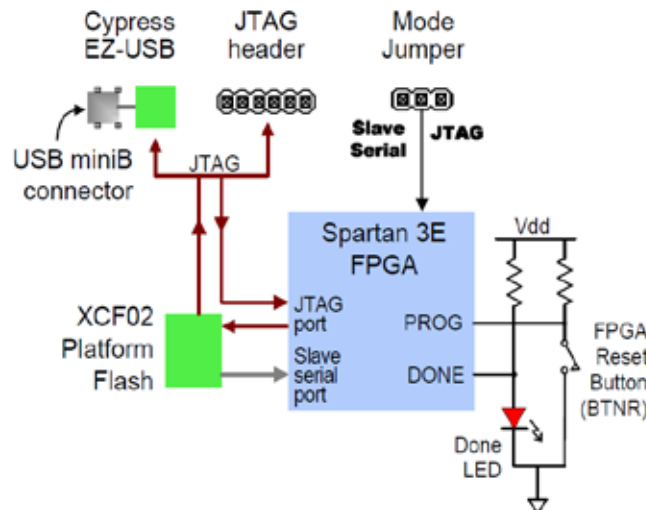


Figura 6: Circuitos de Programación de Nexys2

Fuente: Digilent (2011)

La Nexys 2 posee un circuito integrado Controlador USBCYPRESS 68001A y un circuito FPGA Xilinx Spartan 3E, entre otros. El circuito controlador es el que recibe las señales de la PC por el conector USB y se conecta con determinados pines de la FPGA, el mismo ha sido programado para emular un puerto paralelo de virtual de alta velocidad EPP3. Por lo tanto, cualquier aplicación que se desarrolle en la FPGA que pretenda transferir datos mediante el puerto USB, lo hace como si el puerto USB fuera en realidad un puerto EPP. Para implementar la comunicación USB en la Nexys2, hay que implementar primero en la FPGA un bloque controlador EPP que interprete y genere las señales EPP que recibe o envía el controlador CYPRESS, para la FPGA es como si estuviera conectada a un puerto EPP.

El Protocolo EPP

El puerto EPP permite la transferencia de datos con un conjunto de registros definidos en el periférico en cuestión. Este puerto se encuentra definido en una PC con puerto paralelo. Pero en nuestro caso, el puerto EPP es virtual y se encuentra definido en el controlador CYPRESS que se conecta con el circuito FPGA que entonces actúa como periférico. Un puerto EPP dispone de dos puertos: un puerto de datos y un puerto de direcciones. El puerto de dirección permite definir la dirección asociada al registro que se pretende transferir (leer o escribir) y el puerto de datos recibe el valor asociado a la transferencia en cuestión (el dato que se escribe o se lee).

En la Nexys2 hay tres tipos de circuitos integrados: el controlador USB CYPRESS ya descrito anteriormente, dos circuitos conversores análogo digital ADC para digitalizar dos señales analógicas y obtener así las muestras que serán transmitidas hacia la PC por el puerto USB; y la FPGA propiamente dicha.

El circuito posee, entre otros bloques, un controlador EPP que se comunica con el circuito controlador USB disponible en la Nexys2, que emula un puerto EPP y un controlador para el manejo de los conversores ADS7476 especialmente diseñado al efecto. Se han implementado bloques de memoria y controladores para facilitar la transferencia en el protocolo USB.

Memoria RAM

El bloque de memoria RAM permite almacenar 2048 datos de 1 byte con dos puertos. El puerto B se emplea para almacenar las muestras del conversor (escritura), el puerto A se emplea para lectura por el puerto EPP. Este bloque se implementa directamente con una función primitiva de Xilinx LogiCore disponible en la herramienta de diseño ISE. Dispone de dos puertos A y B que pueden ser escritos o leídos independientemente, pero que comparten las mismas localizaciones de memoria. Cada puerto posee las entradas de control correspondientes: reloj clk habilitación En, escritura We, entrada Di, salida Do y direcciones adr. Este bloque se ha configurado para emplear parte de la memoria de bloque disponible en la RAM con un tamaño de 2048 unidades de 1 Byte. El puerto B se usa sólo para escribir en la memoria las muestras tomadas del conversor y el puerto A se usa sólo para leer los datos.

Controlador de RAM

Este bloque realiza el control de la memoria RAM, para ello asocia el registro de 8 bits con la salida de datos del puerto A con el fin de efectuar la lectura del mismo, en cada operación de lectura incrementa automáticamente hacia la próxima dirección, y habilita la señal DSTB del puerto EPP como reloj para el puerto A de la RAM y habilita los puertos A y B convenientemente. Además de lo anterior, la placa Nexys2 incluye varios dispositivos de entrada, dispositivos de salida y puertos de datos, lo que permite implementar muchos diseños sin necesidad de ningún otro componente.

Entradas: interruptores deslizantes y pulsadores

Se proporcionan cuatro botones y ocho interruptores para las entradas del circuito. Las entradas de los botones pulsadores normalmente son bajas y solo se accionan altas cuando se presiona el botón. Los interruptores generan entradas altas o bajas constantes dependiendo de su posición. Las entradas de pulsador e interruptor utilizan una resistencia en serie para protección contra cortocircuitos (se produciría un cortocircuito si un pin FPGA asignado a un pulsador o interruptor fuera definido inadvertidamente como una salida).

Salidas: LED

Se proporcionan ocho LED para salidas de circuito. Los ánodos LED se conducen desde el FPGA a través de resistencias de 390 ohmios, por lo que una salida lógica '1' los iluminará con 3-4 mA de corriente del variador. Se proporciona un noveno LED como un LED de encendido, y un décimo LED indica el estado de programación de FPGA. En la figura 7 se observan las entradas y salidas de la tarjeta Nexys2.

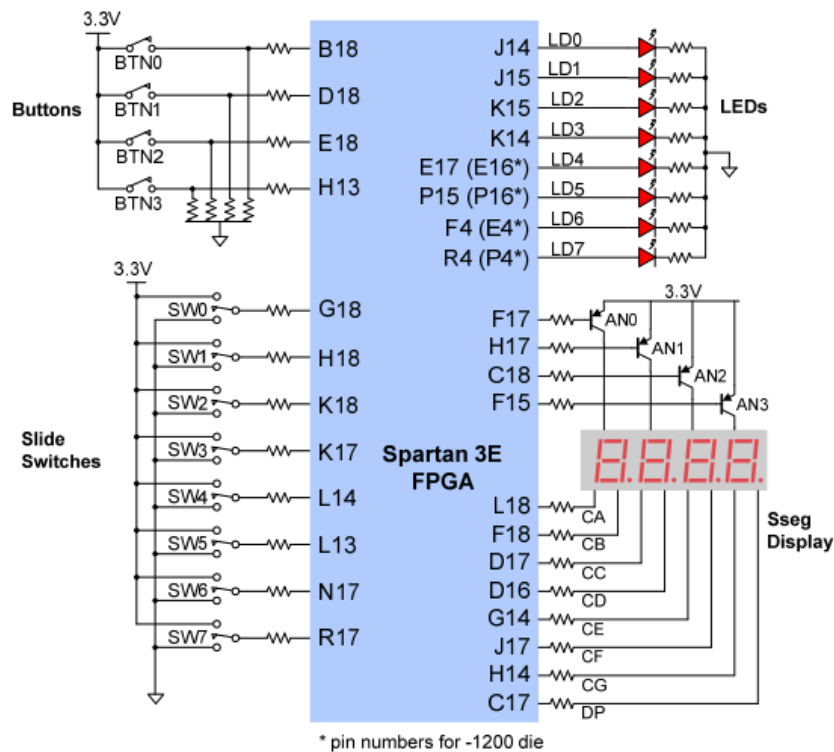


Figura 7: Dispositivos y Circuitos I/O de Nexys2

Fuente: Digilent (2011)

La placa Nexys2 contiene una pantalla LED de cuatro segmentos y ánodo común de cuatro dígitos. Cada uno de los cuatro dígitos está compuesto por siete segmentos dispuestos en un patrón de "figura 8", con un LED incrustado en cada segmento. Los LED de segmento se pueden iluminar individualmente, por lo que cualquiera de los 128 patrones se puede mostrar en un dígito iluminando ciertos segmentos de LED y dejando los otros oscuros. De estos 128 patrones posibles, los diez que corresponden a los dígitos decimales son los más útiles.

CAPÍTULO III

MARCO METODOLÓGICO

En el siguiente capítulo se presenta la metodología, donde se destaca el tipo, modalidad y diseño de investigación; así como, la población, muestra, las técnicas e instrumentos para recolectar y analizar la información, y por último, las fases ejecutadas en la investigación

3.1 Nivel de Investigación

La presente investigación asumió un nivel descriptivo, en correspondencia con lo planteado por Arias (2006) “consiste en la caracterización de un hecho, fenómeno, individuo o grupo, con el fin de establecer su estructura o comportamiento” (p. 24). Los resultados de este tipo de investigación se ubican en un nivel intermedio en cuanto a la profundidad de los conocimientos se refiere.

De acuerdo a lo expuesto, es importante resaltar que es este tipo de investigación partió de la observación del fenómeno por parte de los investigadores, sin que éstos intervinieran en su comportamiento, describiendo su comportamiento y características para, luego de estudiado, proponer una posible solución al problema detectado en los laboratorios de Electrónica y Telecomunicaciones de la UJAP. Lo anterior permitió visualizar de una manera clara y precisa los hechos o fenómenos del objeto de estudio, en aras de lograr los objetivos de investigación trazados.

3.2 Modalidad de Investigación

De acuerdo a la problemática detectada y los objetivos planteados, esta investigación se estableció bajo la modalidad de proyecto factible, de acuerdo a la definición realizada por el Manual de Trabajos de Grado de Especialización, Maestría y Tesis Doctorales (FEDUPEL, 2016), el proyecto factible consiste en la investigación, elaboración y desarrollo de una propuesta de un modelo operativo viable para solucionar problemas, requerimientos o necesidades de organizaciones o grupos sociales; puede referirse a la formulación de políticas, programas, tecnologías, métodos o procesos. El Proyecto debe tener apoyo en una investigación de tipo documental, de campo o un diseño que incluya ambas modalidades (p.21). En este particular, el diseño incluyó ambos tipos.

En consecuencia, la presente investigación propone una alternativa de solución ante la problemática detectada en los laboratorios de Electrónica y Telecomunicaciones de la UJAP, específicamente en los métodos de detección de errores en la transmisión serial de datos, empleando para ello, las tarjetas FPGA que actualmente se encuentra en desuso en dichos laboratorios.

3.3 Diseño de Investigación

El diseño de investigación es la estrategia que adopta el investigador para responder al problema planteado. Este diseño puede ser experimental o no experimental, en correspondencia con los objetivos propuestos en este estudio, se asumió no experimental; es así como Balestrini (2007) indica que son estudios “donde se observan los hechos estudiados tal como se manifiestan en su ambiente natural, y en este sentido no se manipuló de manera intencional la variable” (p. 56).

Esta investigación en la cual se obtuvieron los datos en el medio natural y sin manipular las variables de estudios, también se sustentó en un diseño documental y transversal. Documental, ya que se apoyó en trabajos previos, información y datos en medios impresos, audiovisuales o electrónicos; y de campo, pues se trata de investigaciones a partir de datos originales o primarios (FEDUPEL, 2016). Aunado a lo anterior, se asumió un diseño transversal, ya que la investigación se realizó en un momento determinado y no se realizó seguimiento o estudio posterior; tal y como lo menciona Balestrini (2002), al indicar que: “En los diseños transeccionales la recolección de datos se efectúa solo una vez y en un tiempo único” (p. 133).

3.4 Población y Muestra

La población es el conjunto de seres que conforman las unidades de análisis de la realidad objeto de estudio. Según Arias (2006), la población es finita porque “es una agrupación en la que se conoce la cantidad de unidades que la integran” (p. 82). En consecuencia, la población estuvo conformada por los estudiantes de las carreras de Ingeniería en Electrónica y en Telecomunicaciones de la UJAP, específicamente del 5to semestre en adelante, correspondientes al periodo académico 2018-2.

Considerando lo anterior, se asumen a partir del 5to semestre, ya que los estudiantes, a partir de este nivel, empiezan a cursar asignaturas vinculadas a las áreas de conocimiento que intervienen en el desarrollo del laboratorio propuesto en esta investigación (Circuitos Digitales, Laboratorio de Circuitos Digitales y Transmisión de Datos). Según datos suministrados por Control de Estudio de la Universidad, la cantidad aproximada de estudiantes bajo las características descritas anteriormente es de ciento diecisiete (117) estudiantes; el valor es estimado, solo contempla estudiantes en curso regular y no está incluido los retiros, adiciones y otras condiciones de movilidad propias de la matrícula estudiantil.

En relación con la muestra, Arias (2006) expresa que es un subconjunto representativo y finito que se extrae de la población accesible. Aunado a lo anterior, Palella y Martins (2006) indican que, para poblaciones finitas, el cálculo de la muestra se puede efectuar aplicando la siguiente fórmula:

$$n = \frac{N}{e^2}$$

3.5 Técnicas e Instrumentos para Recolectar Datos

De acuerdo con Arias (2006), una vez efectuada la operacionalización de las variables y definidos los indicadores, es cuando se seleccionan las técnicas e instrumentos de recolección de datos pertinentes para verificar las hipótesis o responder a las interrogantes formuladas. Todo en correspondencia con el problema, los objetivos y el diseño de investigación.

La técnica empleada fue la encuesta, mediante un cuestionario previamente elaborado (instrumento), a través del cual se determinó la opinión o valoración de los estudiantes vinculados al objeto de estudio. En la encuesta a diferencia de la entrevista, el encuestado lee previamente el cuestionario y lo responde por escrito (digital en el caso del presente estudio), sin la intervención directa de persona alguna de los que colaboran en la investigación. Al respecto, Hurtado (2012), señala que la encuesta “...corresponde a un ejercicio de búsqueda de información acerca de un evento de estudio, mediante preguntas directas a varias unidades o fuentes”. (p.875).

El instrumento (cuestionario) se elaboró a partir de una tabla de especificaciones (Anexo A), se estructuró en diez (10) preguntas con respuestas dicotómicas SI-NO (Anexo B), y su objetivo fue diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP. Es importante acotar, que dichos requerimientos específicos y concretos fueron determinados por los autores y tutor del presente trabajo, contando con el apoyo de los becarios y técnicos de los laboratorios de Electrónica y Telecomunicaciones de la UJAP; como sustento al cumplimiento de este objetivo, se elaboró y aplicó el cuestionario previamente mencionado, dirigido a los futuros usuarios del laboratorio que se pretende desarrollar.

Una vez elaborado el cuestionario, fue sometido a proceso de validez y confiabilidad. Además, su administración fue digital, empleando para ello los formularios de Google (Anexo C).

3.6 Validez y Confiabilidad del Instrumento

Los instrumentos de recolección de datos en el ámbito cuantitativo deben reunir dos requisitos esenciales: validez y confiabilidad; cualidades esenciales que deben estar presentes en todos los instrumentos de carácter científico para la recogida de datos. En relación a la validez; Hernández, Fernández y Baptista (2010) indican que: “La validez se refiere al grado de en qué un instrumento de medición mide realmente la (s) variable (s) que se busca medir.”(p. 278).

En este sentido, se realizó la validez de contenido a través del juicio de expertos, para lo cual se concertó la opción de tres expertos en las áreas vinculadas del estudio, a quienes se les consignó en formato digital, la carta y la información requerida para tal proceso (Anexo D). Una vez efectuada la revisión, los tres expertos expresaron su veredicto en el formato de validación correspondiente (Anexos E, F y G), en algunos casos, implicó realizar unos cambios en la redacción de algunas preguntas del cuestionario.

Ahora bien, en relación con la confiabilidad, los autores precitados establecen que se refiere al grado de aplicación del instrumento, es decir, que éste repetido al mismo sujeto u objeto produce iguales resultados. Para efectuar este procedimiento se aplicó una prueba piloto a diez (10) estudiantes, representantes de la población objeto de estudio; es decir, estudiantes que tenían condiciones similares a la población estudio, pero no formaron parte de la muestra. En cuanto al coeficiente de confiabilidad del instrumento del presente estudio, por tratarse de un cuestionario de preguntas con respuestas dicotómicas (SI-NO), el coeficiente empleado fue el de Kuder-Richardson, por ser un método que debe ser aplicado cuando los ítems del instrumento posean dos únicas alternativas de respuesta, y viene dado por la siguiente ecuación.

$$K_{R20} = \frac{N}{N-1} \left[1 - \frac{p}{S^2} \right]$$

Donde:

K_{R20} = Coeficiente de confiabilidad Kuder Richardson

N = Número de Ítems

p = Proporción respuestas correctas

q = Proporción respuestas incorrectas

S = Varianza de los porcentajes de la prueba

El resultado del coeficiente obtenido se interpretó considerando la siguiente escala (Figura 8), cuyo valor puede oscilar entre 0 y 1, siendo “0” una confiabilidad nula y “1” una confiabilidad máxima, mientras más se acerca el valor a cero más factible es el error en la medición.

ESCALA	CATEGORÍA
0,01 – 0,20	Muy baja
0,21 – 0,40	Baja
0,41 – 0,60	Moderada
0,61 – 0,80	Alta
0,81 – 1,00	Muy alta

Figura 8: Escala de Confiabilidad

Fuente: Ruiz, C. (1998)

Los valores obtenidos en la prueba piloto fueron vaciados en una hoja de cálculo (Anexo H) que permitió el cálculo de los estadísticos necesarios y una vez sustituidos los valores en la fórmula respectiva, el valor obtenido fue de 0,71 que comparado con los valores presentados por Ruiz (1998), refleja una confiabilidad “Alta”. Según Hernández, Fernández y Baptista (2003), los valores de los índices de confiabilidad alrededor de este valor son muy satisfactorios, lo que confirma que de ser aplicado el cuestionario en otros grupos los resultados serían similares porque la confiabilidad sobrepasa el 60% en todos los casos.

3.7 Fases o Etapas de la Investigación

En atención a la metodología indicada previamente y en correspondencia con los objetivos de la investigación, se asumieron las siguientes fases para esta investigación.

Fase I Diagnóstico: Corresponde a la elaboración, aplicación y análisis de los datos obtenidos a través del instrumento empleado para diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo

para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

Fase II Factibilidad: En esta etapa se efectuaron los diferentes estudios de viabilidad (técnica, institucional y económica) necesarios para considerar el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

Fase III Diseño: Considerando los resultados de las fases anteriores, se procedió al diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP. En el diseño se contemplaron los objetivos del laboratorio, beneficios, limitaciones y el manual necesario para su puesta en funcionamiento.

Es importante mencionar que los resultados de las fases I y II se muestran en el siguiente capítulo, mientras que los resultados de la fase III están presentes en el capítulo V.

CAPÍTULO IV DIAGNÓSTICO Y FACTIBILIDAD

En este capítulo se exhiben los resultados obtenidos en las dos primeras fases de la investigación: Diagnóstico y Factibilidad, respectivamente; cumpliendo de esta manera con los dos primeros objetivos específicos establecidos en el estudio.

4.1 FASE I: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP

Para la ejecución de esta fase se contemplaron dos momentos. En primer lugar, se elaboró el cuestionario dirigido a los estudiantes de las carreras de Electrónica y Telecomunicaciones de la UJAP. Posteriormente, los requerimientos técnicos específicos de hardware y software fueron determinados por los autores y tutor del presente trabajo, contando con el apoyo de los becarios y técnicos de los laboratorios de Electrónica y Telecomunicaciones de la UJAP.

En relación al cuestionario, una vez aplicado, los datos obtenidos fueron analizados empleando la estadística descriptiva, a través de gráficos y cuadros de distribución de frecuencias absolutas y acumuladas; que permitieron ilustrar los datos obtenidos para efectuar los respectivos análisis e interpretaciones. A efectos de presentar los respectivos análisis e interpretaciones, a continuación, se muestran gráficos y cuadros de los resultados obtenidos en cada pregunta del cuestionario; posteriormente, se presenta un cuadro resumen de los resultados obtenidos, con las respectivas interpretaciones y conclusiones parciales de esta fase.

4.1.1 Resultados del Cuestionario Aplicado a los Estudiantes

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 1

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Tarjetas programables en la UJAP

Ítem N° 1: La UJAP dispone de tarjetas digitales programables (FPGA), ¿consideras que se pueden emplear como parte de tu formación como ingeniero?

Cuadro 1
Resultados Ítem N° 1

Ítem	Alternativas				Totales	
	SI		NO		F	%
	f	%	f	%		
1	27	75	9	25	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

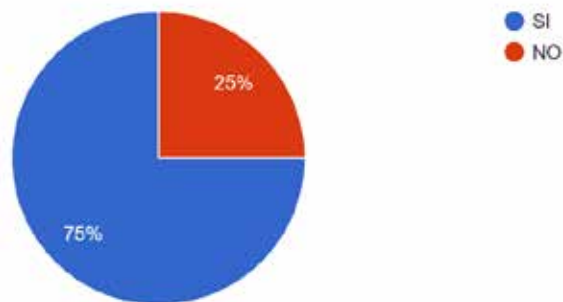


Gráfico 1

Fuente: Cuadro 1

Análisis: Se observa que el 75 por ciento de los estudiantes considera que el uso de las tarjetas FPGA si se pueden emplear como parte de su formación como ingeniero, en contraposición al 25 por ciento que no lo considera así.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 2

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Tarjetas programables en laboratorios

Ítem N° 2: Consideras que las tarjetas programables se pueden emplear como parte de las experiencias en los laboratorios de Circuitos Digitales

Cuadro 2
Resultados Ítem N° 2

Ítem	Alternativas				Totales	
	SI		NO			
	f	%	f	%	F	%
2	31	86,1	5	13,9	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

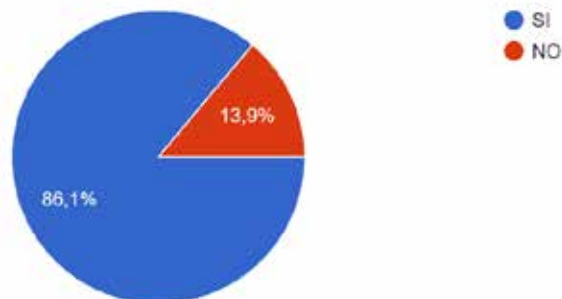


Gráfico 2

Fuente: Cuadro 2

Análisis: Los resultados del ítem 2 evidencian que el 86,1 por ciento de los estudiantes considera que las tarjetas programables si se pueden emplear como parte de sus experiencias en los laboratorios de circuitos digitales. Dado que las FPGA es un modelo de tarjeta programable, se observa una diferencia de 11, 1 por ciento en relación con el ítem 1; cuando se indagó específicamente sobre la FPGA.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 3

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Tarjetas programables en laboratorios

Ítem N° 3: Consideras que las tarjetas programables se pueden emplear como parte de las experiencias en los laboratorios de Transmisión de Datos

Cuadro 3
Resultados Ítem N° 3

Ítem	Alternativas				Totales	
	SI		NO			
	f	%	f	%	F	%
3	32	88,9	4	11,1	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

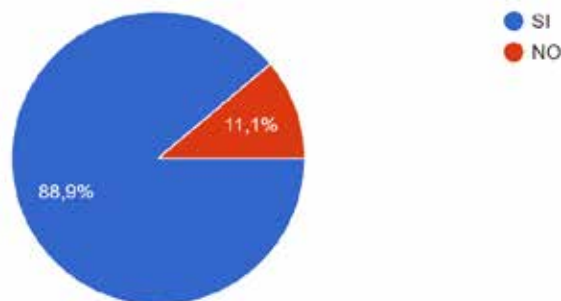


Gráfico 3

Fuente: Cuadro 3

Análisis: En los resultados del ítem 3 se evidencia que el 88, 9 por ciento de los estudiantes si considera que las tarjetas programables se pueden emplear como parte de las experiencias en los laboratorios de transmisión de datos. En comparación con el ítem anterior (2), se constata un aumento del 2,8 por ciento a favor de los laboratorios de transmisión de datos.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 4

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Aprendizaje con tarjetas programables

Ítem N° 4: Consideras que el uso de tarjetas digitales programables (FPGA, Arduino y Raspberry Pi, entre otras) pueden favorecer tu aprendizaje en varias asignaturas de la carrera

Cuadro 4
Resultados Ítem N° 4

Ítem	Alternativas				Totales	
	SI		NO		F	%
Ítem	f	%	f	%	F	%
4	34	94,4	2	5,6	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

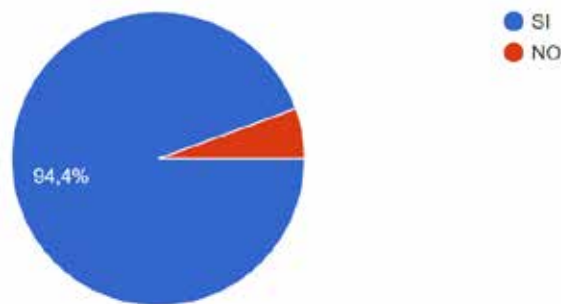


Gráfico 4

Fuente: Cuadro 4

Análisis: En los resultados del ítem 4 se evidencia que el 94,4 por ciento si considera que el uso de tarjetas digitales programables favorece su aprendizaje en asignaturas de la carrera. No obstante, cuando se indagó específicamente sobre la FPGA (ítem 1) ese porcentaje disminuyó un 19,4 por ciento.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 5

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Aplicación en la transmisión serial

Ítem N° 5: Consideras que las tarjetas programables se pueden emplear en la experimentación de laboratorio sobre la transmisión serial de datos

Cuadro 5
Resultados Ítem N° 5

Ítem	Alternativas				Totales	
	SI		NO			
	f	%	f	%	F	%
5	33	91,7	3	8,3	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

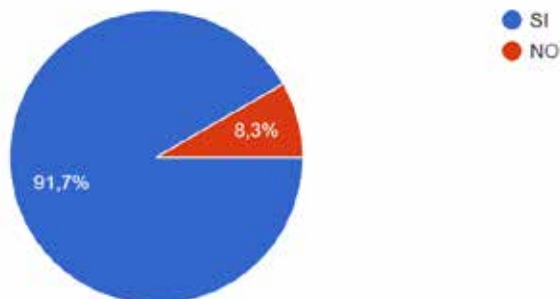


Gráfico 5

Fuente: Cuadro 5

Análisis: Se observa que el 91,7 por ciento de los estudiantes encuestados considera que las tarjetas programables si se pueden emplear en la experimentación de laboratorios sobre la transmisión serial de datos. De lo anterior, se desprende un incremento del 2,8 por ciento en relación al ítem 3, cuyo enunciado indagaba sobre la transmisión de datos, sin distinguir su tipo (serial o paralelo).

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 6

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Hardware

Indicador: Aplicación en la comprobación de paridad

Ítem N° 6: Consideras que las tarjetas programables se pueden emplear en la experimentación de laboratorio como parte de un mecanismo de detección de errores a través de la comprobación de paridad.

Cuadro 6
Resultados Ítem N° 6

Ítem	Alternativas				Totales	
	SI		NO		F	%
Ítem	f	%	f	%	F	%
6	34	94,4	2	5,6	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

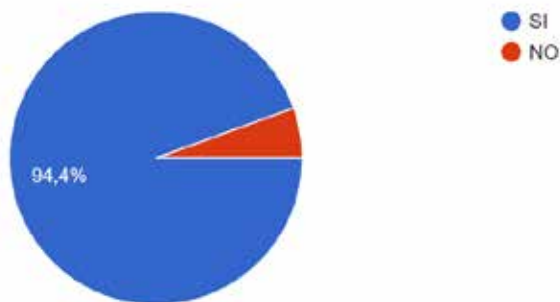


Gráfico 6

Fuente: Cuadro 6

Análisis: Los resultados del ítem 6 evidencian que un 94,4 por ciento de los estudiantes considera que las tarjetas programables se pueden emplear en las experiencias de laboratorio, como parte de un mecanismo de detección de errores a través de la comprobación de paridad.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 7

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Software

Indicador: Programación en prácticas de laboratorio

Ítem N° 7: Consideras que la programación de circuitos lógicos se puede emplear como parte de las experiencias en los laboratorios de Circuitos Digitales

Cuadro 7
Resultados Ítem N° 7

Ítem	Alternativas				Totales	
	SI		NO			
	f	%	f	%	F	%
7	34	94,4	2	5,6	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

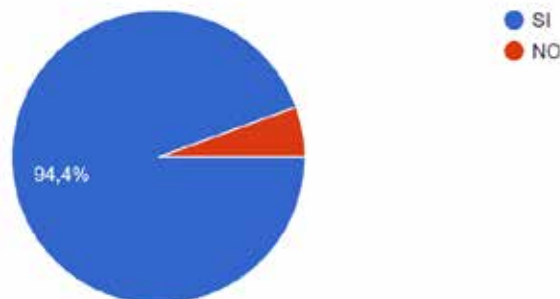


Gráfico 7

Fuente: Cuadro 7

Análisis: En los resultados obtenidos del ítem 7 se constata que un 94,4 por ciento de los estudiantes considera que la programación de circuitos lógicos si se puede emplear como parte de las experiencias en los laboratorios de circuitos digitales.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 8

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Software

Indicador: Programación en prácticas de laboratorio

Ítem N° 8: Consideras que la programación de circuitos lógicos se puede emplear como parte de las experiencias en los laboratorios de Transmisión de Datos

Cuadro 8
Resultados Ítem N° 8

Ítem	Alternativas				Totales	
	SI		NO		F	%
	f	%	f	%		
8	32	88,9	4	11,1	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

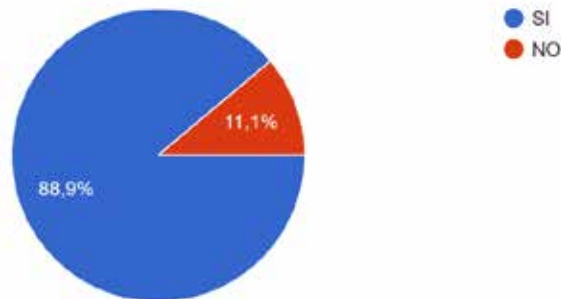


Gráfico 8

Fuente: Cuadro 8

Análisis: Los resultados del ítem 8 presentan que un 88,9 por ciento de los estudiantes encuestados consideran que la programación de circuitos lógicos programables si se puede emplear como parte de las experiencias en los laboratorios de transmisión de datos. Lo anterior significa un 5,5 por ciento menos que el caso del ítem precedente (7) donde se indagaba sobre le laboratorio de circuitos digitales.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 9

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Software

Indicador: Aplicación en la transmisión serial

Ítem N° 9: Consideras que los programas requeridos en las tarjetas programables te pueden aportar conocimiento en los laboratorios sobre la transmisión serial de datos

Cuadro 9

Resultados Ítem N° 9

Ítem	Alternativas				Totales	
	SI		NO			
	f	%	f	%	F	%
9	33	91,7	3	8,3	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

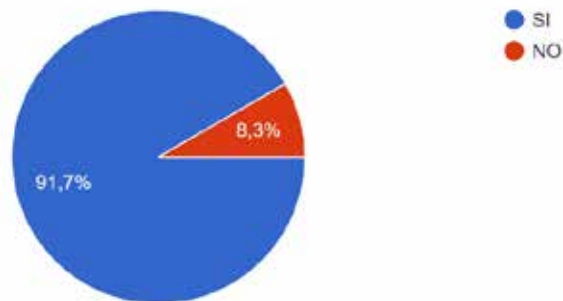


Gráfico 9

Fuente: Cuadro 9

Análisis: Los resultados obtenidos muestran que un 91,7 por ciento de los estudiantes considera que los programas requeridos en las tarjetas programables si pueden aportarle conocimiento en los laboratorios sobre la transmisión serial de datos.

Presentación de Resultados. Cuestionario Aplicado a los Estudiantes. Ítem N° 10

Variable: Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos

Dimensión: Software

Indicador: Aplicación en la comprobación de paridad

Ítem N° 10: Consideras que los programas requeridos en las tarjetas programables te pueden aportar conocimiento en los laboratorios sobre la detección de errores

Cuadro 10

Resultados Ítem N° 10

Ítem	Alternativas				Totales	
	SI		NO		F	%
	f	%	f	%		
10	33	91,7	3	8,3	36	100

Fuente: Cuestionario aplicado a los estudiantes de las Escuelas de Ingeniería Electrónica y Telecomunicaciones de la UJAP, por Goncalves y Oliveros.

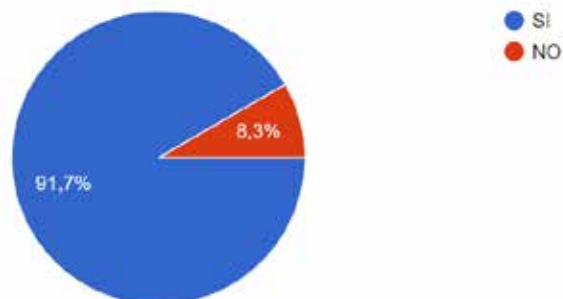


Gráfico 10

Fuente: Cuadro 10

Análisis: Los resultados del ítem 10 muestran que un 91,7 por ciento de los estudiantes considera que los programas requeridos en las tarjetas programables pueden aportarle conocimiento en los laboratorios sobre la detección de errores. En este caso, se mantiene el mismo porcentaje que el ítem anterior (9), en el cual se indaga sobre la transmisión de datos, sin especificar la detección de errores.

4.1.2 Interpretación de los Resultados Obtenidos

Una vez presentados los resultados desglosados por ítem, a efectos de realizar interpretaciones de los mismos, se muestra a continuación el cuadro resumen, con los resultados promediados según las dos dimensiones consideradas en la variable de estudio.

Cuadro 11
Resumen de Resultados Obtenidos

Dimensiones	Indicadores	Ítem	SI	NO	Promedio	
					SI	NO
Hardware	Tarjetas programables en la UJAP	1	75%	25%	88,42%	11,58%
	Tarjetas programables en laboratorios	2	86,1%	13,9%		
		3	88,9%	11,1%		
	Aprendizaje con tarjetas programables	4	94,4%	5,6%		
	Aplicación en la transmisión serial	5	91,7%	8,3%		
Aplicación en la comprobación de paridad	6	94,4%	5,6%			
Software	Programación en prácticas de laboratorio	7	94,4%	5,6%	91,68%	8,32%
		8	88,9%	11,1%		
	Aplicación en la transmisión serial	9	91,7%	8,3%		
	Aplicación en la comprobación de paridad	10	91,7%	8,3%		

Fuente: Elaboración propia (2018)

Del cuadro anterior se desprenden las siguientes interpretaciones, las cuales se desglosan en las dos dimensiones abordadas.

4.1.2.1 Dimensión Hardware

En la dimensión hardware, se tiene que en los ítems 1 y 2, cuando se indagó específicamente sobre la FPGA el porcentaje disminuyó un 11,1 por ciento; en comparación cuando se preguntó sobre las tarjetas programables en general. Incluso,

cuando se indagó sobre el uso de las tarjetas programables y se listaron a modo de ejemplo las FPGA, Arduino y Raspberry Pi; el nivel de aceptación fue mayor que en los ítems 1 y 2; a saber 75 por ciento en el ítem 1; 86,1 por ciento en el ítem 2 y 94,4 por ciento en el ítem 4.

Lo anterior describe un pequeño porcentaje de estudiantes que no considera el uso de las FPGA y esto se puede aducir al desconocimiento de su uso en asignaturas de la carrera; ya que las mismas se encuentran en desuso en los laboratorios de la Universidad. Muy a pesar de investigaciones de data reciente realizadas por varios autores (Vinveza, 2017; Solano, 2016 y Ortega 2015), en las cuales involucraron el uso de FPGA en estos estudios.

Ahora bien, cuando se indagó sobre el uso de las tarjetas programables para los laboratorios sobre transmisión serial (ítem 5) y como parte de un mecanismo para la detección de errores (ítem 6), la diferencia de aceptación por parte de los estudiantes entre ambos resultados es de solo un 2,7 por ciento; a saber 91,7 por ciento en el ítem 5 y 94,4 por ciento en el ítem 6.

Por ende, el nivel de aceptación de los estudiantes sobre el uso de las tarjetas programables como uno de los requerimientos de hardware necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, es alto. Lo anterior se evidencia en el cuadro resumen de los resultados obtenidos (cuadro 11), con un promedio de aceptación del 88,42 por ciento.

4.1.2.2 Dimensión Software

En relación a la dimensión software, se tiene que los ítems 7 y 8 indagaron sobre la pertinencia del empleo de la programación de circuitos lógicos como parte de las experiencias en los laboratorios de circuitos digitales y transmisión de datos; resultando que el ítem 8 (con un 88,9 por ciento) obtuvo un 5,5 por ciento menos que el ítem 7 (con un 94,4 por ciento). A pesar de tratarse de respuestas con porcentajes muy altos de aceptación en cada caso; se infiere que el pequeño margen de diferencia reside en el hecho de la falta de integración que algunos estudiantes no logran percibir entre los diferentes contenidos de las asignaturas que cursan en la carrera.

Ahora bien, en los ítems 9 y 10 donde se indagó sobre los programas requeridos en las tarjetas programables y su aporte al conocimiento en los laboratorios sobre la transmisión de datos (ítem 9) y en los laboratorios sobre la detección de errores (ítem 10); se determinó que ambos obtuvieron el mismo porcentaje de aceptación, con un 91,7 por ciento. De lo anterior se desprende la notable importancia que tiene la programación en los laboratorios, es así como, Cruz (2005) indica que los laboratorios en el área de ingeniería deben permitir visualizar los acelerados cambios tecnológicos en las áreas de microelectrónica y circuitos digitales, entre otras áreas. Y, precisamente, esta evolución conllevó al uso de las tarjetas FPGA, por la versatilidad que ofrecen en la programación, tal y como lo indican Castillo, Vásquez, Ortegón y Rodríguez (2008).

En concordancia, se tiene que el nivel de aceptación de los estudiantes sobre los requerimientos técnicos de software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, es alto. Lo anterior se evidencia en el cuadro 11 con un porcentaje promedio del 91,68 por ciento.

Del aspecto anterior, es necesario acotar lo siguiente. En las preguntas referentes a los requerimientos de software, no se indagó específicamente sobre los programas necesarios para el funcionamiento de tarjetas programables (Active-Hdl, ISE de Xilinx, icestudio, entre otras), puesto que, en el contexto de esta investigación, actualmente no se están empleado las tarjetas FPGA que se encuentran en los laboratorios de la Universidad y por ende, mucho menos el programa requerido para su funcionamiento. Un caso muy similar referido al desuso y carencia de equipos y programas, lo presentó Pérez (2015) en su estudio que también se realizó en la UJAP, aunque fue solo en la escuela de Telecomunicaciones.

Aunado a lo anterior, dependiendo de la tarjeta a usar, el programa no será el mismo. En el caso que compete al presente estudio, se seleccionó el programa ISE de Xilinx, por tratarse de la suite propuesta por el fabricante de la FPGA modelo Nexys 2, empleada en el laboratorio propuesto y disponible gratuitamente en el portal web del fabricante.

4.1.3 Conclusiones del Diagnóstico

En atención a los resultados obtenidos en la primera fase de esta investigación, donde se consideraron los análisis efectuados en las dos dimensiones del cuestionario y la situación problemática abordada en el primer capítulo de este trabajo, se evidencia la necesidad del desarrollo del laboratorio propuesto, detallándose con claridad los requerimientos de hardware y software necesarios para el mismo.

4.2 FASE II: Factibilidad del diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP

La factibilidad o viabilidad tal y como lo menciona Gómez (2000) expresa la posibilidad del desarrollo de un proyecto, abordando la necesidad detectada, beneficios, recursos humanos, técnicos financieros, institucionales, estudios de mercado y beneficiarios; entre otros aspectos según la naturaleza del proyecto. En la ejecución de esta fase, se contempló el abordaje de varias aristas de la factibilidad: técnica, económica e institucional; necesarios para garantizar la viabilidad del desarrollo de la propuesta derivada del presente estudio.

4.2.1 Factibilidad Técnica

En primer lugar, la UJAP dispone de una infraestructura en buenas condiciones, amplios laboratorios que garantizan la puesta en práctica del laboratorio propuesto; el cual se puede ejecutar en los laboratorios de electrónica o de comunicaciones (por el tipo de asignaturas vinculadas al mismo), todos ubicados en el quinto piso del cuarto edificio de la institución.

En segundo lugar, se requiere además de las tarjetas FPGA, equipos de computadora (PC o portátiles) que posean el programa Xilinx ISE Design Suite 14.7; el cual puede ser instalado en los equipos portátiles de profesores o estudiantes, así como, en los PC disponibles en los laboratorios. Además, el referido programa se descarga de manera gratuita directamente del portal web del autor (<https://www.xilinx.com/>)

4.2.2 Factibilidad Económica

Este aspecto se refiere al estudio costo-beneficio asociado al desarrollo del laboratorio propuesto en esta investigación. Al respecto, se tiene que su desarrollo no

implica una inversión adicional a la estimada en la institución, ya que el mismo es producto de esta investigación y por ende, realizada por sus autores bajo la colaboración del tutor; aunado a lo anterior, la institución dispone de las tarjetas FPGA actualmente sin uso en los laboratorios.

Ahora bien, como los autores del presente estudio asumieron el desarrollo del laboratorio como parte de su tesis de grado, no repercutirá en un costo adicional, ya que ellos se encargaron de la programación requerida, así como del diseño del manual de laboratorio requerido en la propuesta.

4.2.3 Factibilidad Institucional

El cumplimiento de las factibilidades técnica y económica se sintetizan en la institucional. ya que, el beneficio de la UJAP en contar con el laboratorio que se propone en esta investigación para sus estudiantes de pregrado es alto, pues además de la viabilidad de su bajo costo, la disponibilidad de infraestructura y recursos necesarios, propiciar este tipo de actividades en los estudiantes universitarios del presente siglo es vital para garantizar su desenvolvimiento en el campo laboral y personal. Indiscutiblemente, esto puede repercutir favorablemente en la demanda de aspirantes a cursar estas carreras de gran valía para la sociedad.

4.2.4 Conclusiones de la Factibilidad

El estudio de factibilidad planteado anteriormente conllevó a garantizar la viabilidad del desarrollo del laboratorio, ya que la existencia de recursos organizativos, técnicos y humanos presentes en la Universidad José Antonio Páez, en los investigadores y tutor del presente estudio, garantizan la puesta en práctica de la propuesta. Por lo cual, se recomienda la articulación efectiva de todos estos elementos para garantizar la ejecución satisfactoria del laboratorio.

Ahora bien, considerando los resultados obtenidos en las dos fases anteriores, se procedió a la elaboración de la propuesta, la cual se presenta en el siguiente capítulo.

CAPÍTULO V

DISEÑO DEL LABORATORIO

En este capítulo se contempla lo concerniente al desarrollo de la propuesta, a saber, un laboratorio para la detección de errores en la transmisión serial de datos. Para ello, se presentan sus objetivos, beneficios y limitaciones, así como, el manual requerido para su puesta en funcionamiento.

5.1 FASE III: Diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

En atención a los resultados obtenidos en las fases anteriores, se procedió al desarrollo de la propuesta derivada de este estudio.

5.1.1 Objetivos del Laboratorio

5.1.1.1 Objetivo General

Realizar prácticas de laboratorio que permitan el diseño de un mecanismo de detección de errores empleando el método de bit de paridad, considerando los conocimientos previos adquiridos en el laboratorio de circuitos digitales y el empleo de las tarjetas FPGA.

5.1.1.2 Objetivos Específicos

Diseñar las prácticas de laboratorio requeridas para el manejo de las tarjetas FPGA y el lenguaje VHDL.

Integrar los conocimientos adquiridos en las practicas previas, para efectuar el mecanismo de detección de errores mediante el bit de paridad.

Estructurar las practicas de laboratorio en un manual coherente y sistemático, que permita su aplicación efectiva en el ámbito de la docencia universitaria.

5.1.2 Beneficios y Limitaciones del Laboratorio

Los principales beneficios radican en:

Permite el empleo de herramientas disponibles en la institución.

Concibe el aprendizaje como un proceso permanente y secuencial, basado en los conocimientos previos de los estudiantes.

Considera el abordaje de tópicos de Circuitos Digitales como base para la comprensión de temas inherentes a la Transmisión de Datos y los mecanismos para la detección de errores.

En contraposición, se tienen las siguientes limitantes:

No contempla el empleo de otro modelo de tarjeta programable, solo la FPGA de la familia Spartan 3 de Xilinx.

No aborda otro mecanismo de detección de errores diferente al bit de paridad.

En virtud de lo expresado anteriormente, este laboratorio se constituye en un recurso valioso y perfectible. Valioso, por las bondades que ofrece a la institución, profesores y estudiantes. Y perfectible, ya que su puesta en práctica puede conllevar a enriquecer y ampliar su estructura y temática contemplada.

5.1.3 Manual del Laboratorio

Para el cumplimiento de los objetivos trazados en este laboratorio y, considerando las necesidades inherentes a los laboratorios de la UJAP, se realizó el manual titulado: “*Manual de Prácticas con FPGA*”; el cual aborda bajo un lenguaje claro y sencillo, los procedimientos a efectuar en cada una de las prácticas requeridas para el logro académico esperado en los estudiantes.

Si bien, el objetivo general del laboratorio reside en que el estudiante sea capaz de diseñar un mecanismo de detección de errores, empleando el bit de paridad y la tarjeta FPGA; las prácticas aquí abordadas se basan en los conocimientos previos que los estudiantes deben manejar. Dichos conocimientos previos se asocian con el uso de la tarjeta FPGA, el programa ISE y Circuitos Digitales.

El manual elaborado para el desarrollo del laboratorio posee orientaciones prácticas, sencillas y concretas, para que el docente facilite el contenido previsto de manera secuencial. A continuación, se presenta dicho manual.



UNIVERSIDAD JOSÉ ANTONIO PÁEZ

MANUAL DE PRÁCTICAS CON FPGA

Autores: Jhorman Oliveros
Nolberto Goncalves

Urb. Yuma II, calle N° 3. Municipio San Diego

Teléfono: (0241) 8714240 (master) – Fax: (0241) 8712394

INTRODUCCIÓN

Este manual tiene como objetivo estructurar y presentar las prácticas que realizarán los estudiantes de pregrado pertenecientes a las escuelas de Ingeniería Electrónica y Telecomunicaciones, de la Universidad José Antonio Páez.

Dichas prácticas están relacionadas con la detección de errores en la transmisión de datos, mediante el uso del bit de paridad. Para su implementación física se utilizan las tarjetas FPGA de la familia Spartan 3 de Xilinx, las cuales se encuentran disponibles en los laboratorios de la Universidad, y por ende, no requerirá un insumo o costo adicional para la institución, profesores o estudiantes. Para la programación de la FPGA se utiliza el Programa Xilinx ISE Design Suite 14.7.

El presente manual se estructura en cinco prácticas de laboratorio, presentadas de manera lógica y secuencial, considerando la importancia de los conocimientos previos requeridos en cada una; así como, la vinculación entre las asignaturas contempladas en las carreras de Ingeniería Electrónica e Ingeniería de Telecomunicaciones. A saber, dichas asignaturas son: Circuitos Digitales, Laboratorio de Circuitos y Transmisión de Datos; de manera tal, que estas prácticas pueden ser ejecutadas en dichas asignaturas, según las estrategias de enseñanza planificadas por el docente. El contenido abordado desde la práctica 0 hasta la práctica 3 se desarrolló de manera tal que el mismo, sea el conocimiento previo requerido para efectuar la última práctica, en la cual debe efectuar el verificador de paridad.

Objetivo del Manual: El alumno pondrá en práctica las distintas técnicas de programación en VHDL mediante cinco prácticas, en los cuales se implementarán algunas de las estructuras más comunes dentro del lenguaje con la finalidad de que se familiarice con el programa, así como con la tarjeta de desarrollo.

Las prácticas son las siguientes:

Práctica 0: Introducción a las FPGA

Práctica 1: Convertidor de Código Binario a Código Gray

Práctica 2: Comparador de Magnitud

Práctica 3: Display 7 Segmentos

Práctica 4: Verificador de Paridad

PRÁCTICA 0: INTRODUCCIÓN A LAS FPGA

Objetivo: Iniciar al estudiante en el manejo de las tarjetas FPGA y el lenguaje VHDL necesario para su funcionamiento.

Pre Laboratorio

FPGA es el acrónimo de Field Programmable Gate Array. Se trata de un dispositivo semiconductor que contiene bloques de lógica cuya interconexión y funcionalidad puede ser configurada mediante un lenguaje de programación especializado, en este caso, el VHDL.

Tarjeta Nexys 2 FPGA Spartan-3 XC3S500E de Xilinx

La tarjeta Nexys 2, es un circuito plataforma de desarrollo completo y listo para usar, basado en FPGA Xilinx Spartan 3E. Sus características son:

FPGA Xilinx Spartan 3E compuerta-500k

USB2 basado en configuración FPGA y transferencia de datos de alta velocidad.

Alimentación por USB.

16 MB de Micron PSD RAM y 16 MB de intel StrataFlash ROM.

Oscilador de 50MHz más de espacio para oscilador Secundario.

60 E/S FPGA dirigidas para conectores de expansión (Conector Hirose FX2 de alta velocidad y cuatro cabeceras de 6 pines).

8 LEDs, 4 dígitos de 7 segmentos de visualización, 4 botones, 8 interruptores deslizantes.

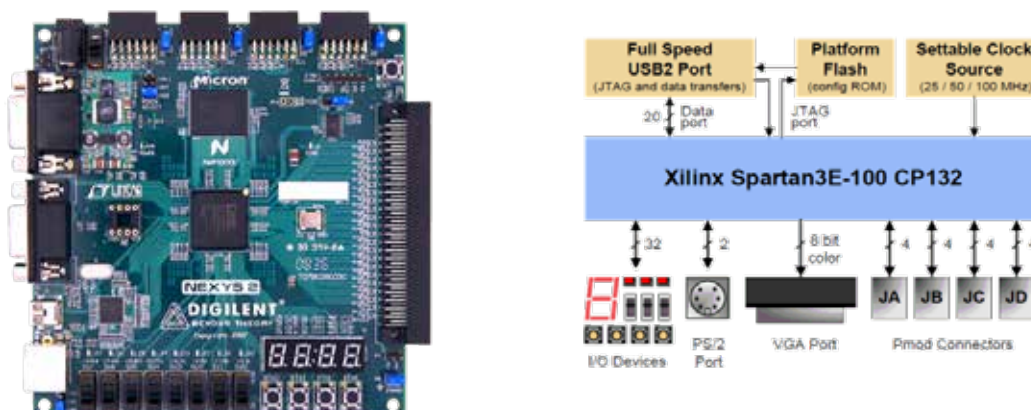


Figura 1: Nexys2 Diagrama de Bloques y características.

Fuente: Digilent (2011).

Lenguaje VHDL

Se trata de un lenguaje de descripción de hardware a alto nivel que puede utilizarse para modelar, documentar, simular, verificar y sintetizar sistemas digitales. Proporciona soporte suficiente para especificar su comportamiento o su escritura, incluyendo las jerarquías.

Xilinx ISE

Es una herramienta de software producido por Xilinx para la síntesis y el análisis de diseños HDL, lo que permite al desarrollador sintetizar ("compilar") sus diseños, realizar análisis de tiempos, examinar diagramas RTL, simular la reacción de un diseño a diferentes estímulos y configurar el dispositivo de destino con el programador. Xilinx ISE es un entorno de diseño para productos FPGA de Xilinx, y está estrechamente relacionado con la arquitectura de dichos chips, y no puede utilizarse con productos FPGA de otros proveedores.

Estructura del Software

Entrada del diseño: Corresponde a la descripción del sistema a implementar ya sea con lenguaje de alto nivel (VHDL), en forma esquemática, o ambos. Esto se almacena en un archivo con extensión .vhd que sirve de entrada a la siguiente etapa.

Síntesis: Esta herramienta permite realizar una revisión de sintaxis del código fuente .vhd del proyecto y genera un reporte de advertencias y errores en caso de existir.

Banco de prueba: Para poder simular el circuito primero se crea un banco de pruebas (test bench) donde se definen los estímulos de entrada, en función de los cuales se obtendrá la salida que deberá coincidir con el valor esperado de acuerdo a la funcionalidad del circuito. Estos estímulos incluyen señales de reloj, contadores, etc.

Simulación Funcional: Consiste en realizar una simulación puramente lógica del sistema que se pretende realizar, para lo cual se emplea el banco de pruebas definido previamente. Esta simulación no toma en cuenta retardos propios de los componentes con los que se implementa físicamente el sistema, por lo que es una simulación ideal.

Archivo de restricciones: Este archivo consta de las especificaciones de los terminales de la FPGA, el tipo de señal que se va a emplear, voltajes y la señalización que se realizará al momento de descargar el archivo a la tarjeta de desarrollo.

Implementación: Después de haber creado la fuente del diseño lógico en el primer paso del diagrama de flujo, el proceso de implementación convierte este diseño (con todas las fuentes existentes en forma jerárquica) en un archivo de formato físico que puede ser programado en el dispositivo.

En la implementación se llevan a cabo las siguientes tareas:

Traducción: combina todas las listas de entrada y restricciones de diseño en una base de datos genérica y nativa de Xilinx (archivo NGD), la cual describe el diseño lógico ya traducido mediante primitivas lógicas.

Mapeo: convierte la definición lógica por un archivo NGD a elementos FPGA, tales como CBLs e IOBs, etc. La salida es un archivo de descripción nativa del circuito (NCD), que representa físicamente el diseño de los componentes como elementos FPGA.

Colocación y enrutado: a partir del archivo NCD, se determina cuáles serán y cómo se interconectan los componentes del dispositivo FPGA que se utilizarán para implementar el diseño, y se produce un nuevo archivo NCD.

Programación: Este proceso, genera un archivo de programación .bit que permite descargar la información del diseño, generada en la etapa de implementación, en el dispositivo FPGA, para lo cual debe cumplirse con los procesos anteriores. Comprende los siguientes procesos:

Generar archivo PROM, ACE o JTAG: generar el archivo ejecutable, el cual se desea implementar, una vez creado este archivo generalmente tipo BIT o ISC, se puede generar un reporte mostrando las características del mismo.

Comunicación y descarga a la tarjeta: Se realiza la descarga del programa ejecutable hacia la tarjeta de práctica, o cualquier dispositivo reconocido por la herramienta ISE mediante la opción “iMPACT”, la cual enlazará y determinará las conexiones lógicas de la tarjeta previamente determinadas en el archivo de restricción.



Figura 2: Localización de las herramientas dentro del cuadro Procesos.
Fuente: Los Autores.

Desarrollo

Primeros pasos en FPGA, creando el primer proyecto

Representa la configuración inicial requerida para efectuar todas las prácticas con la tarjeta

Paso 1: Crear el proyecto en ISE, con los datos solicitados por el programa (nombre y descripción).

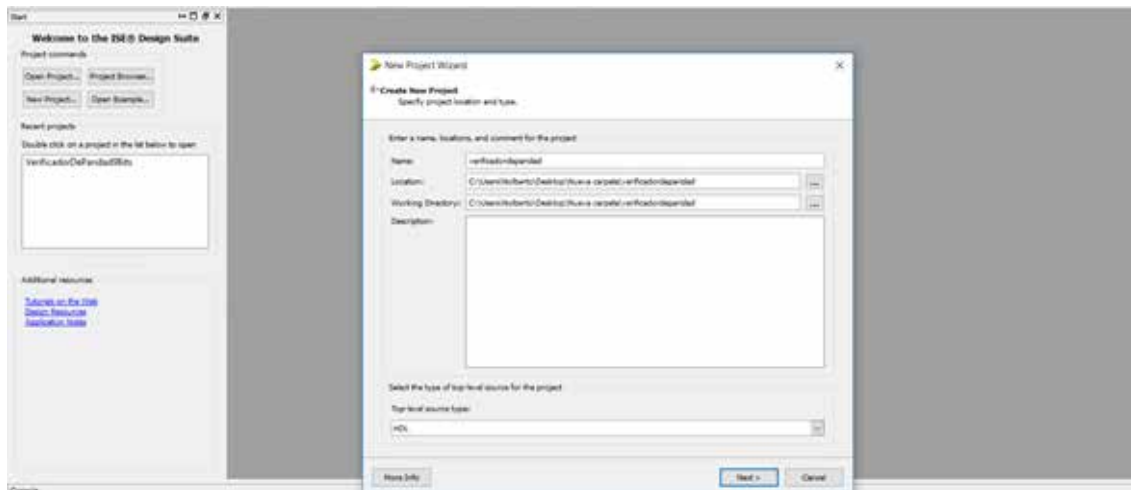


Figura 3: Creación de Proyecto en ISE Design Suite.
Fuente: Los Autores.

Paso 2: Seguidamente, en las características del proyecto debes seleccionar el tipo de tarjeta. En este caso, es la familia **Spartan 3E**, el dispositivo **XC3S500E** y el paquete **FG320** (ver figura 4).

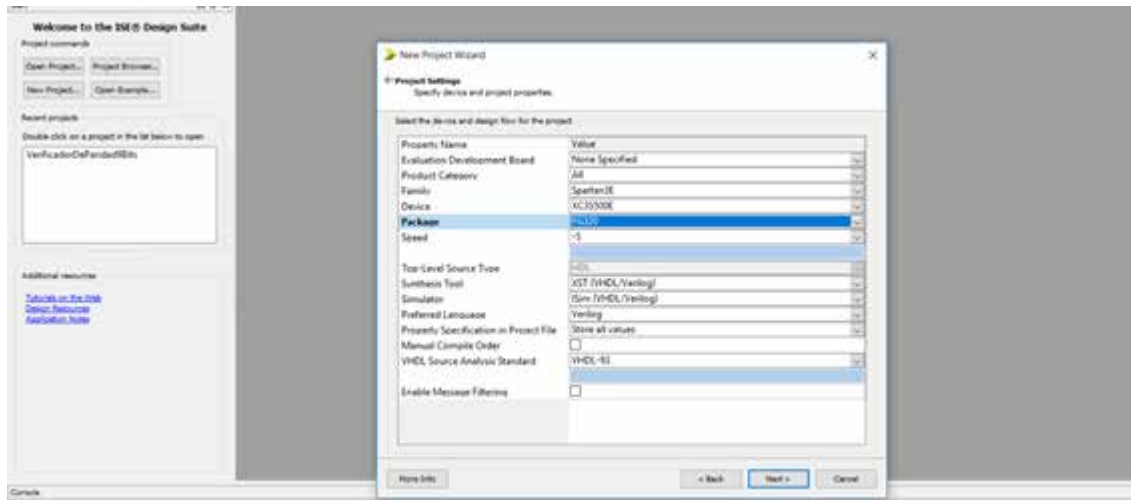


Figura 4: Selección del tipo de Tarjeta.
Fuente: Los Autores.

Paso 3: Características finales del proyecto y finalizar

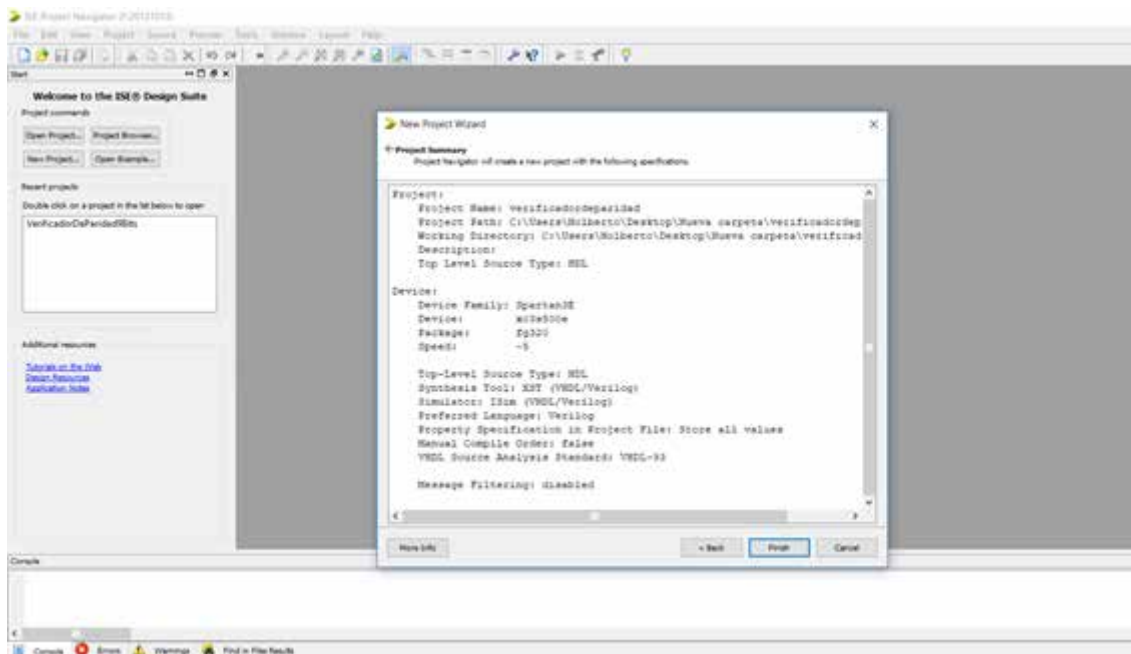


Figura 5: Características Finales del proyecto.
Fuente: Los Autores.

Paso 4: Una vez creado el proyecto, debes hacer clic derecho en el nombre del proyecto y seleccionar New Source (nueva fuente), aquí debes seleccionar VHDL Module (ver figura 6), la cual utilizaremos para todos nuestros proyectos y el nombre de dicha fuente.

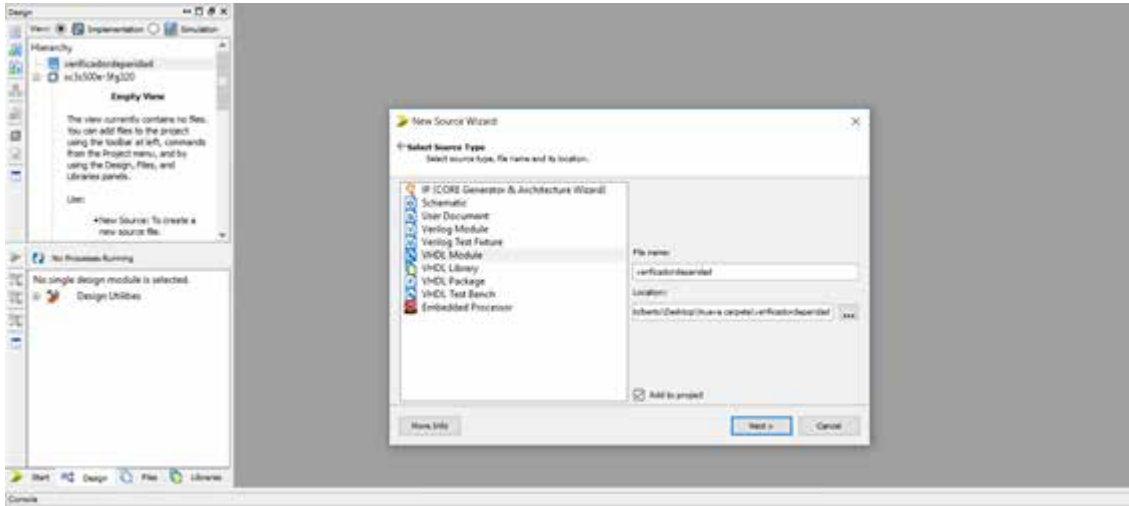


Figura 6: Selección de la fuente.

Fuente: Los Autores.

Paso 5: Luego, de manera opcional se puede seleccionar las variables que utilizaremos como entradas y salidas (ver figura 7), si no lo hacemos en este paso también se puede declarar posteriormente de manera directa en el código del programa.

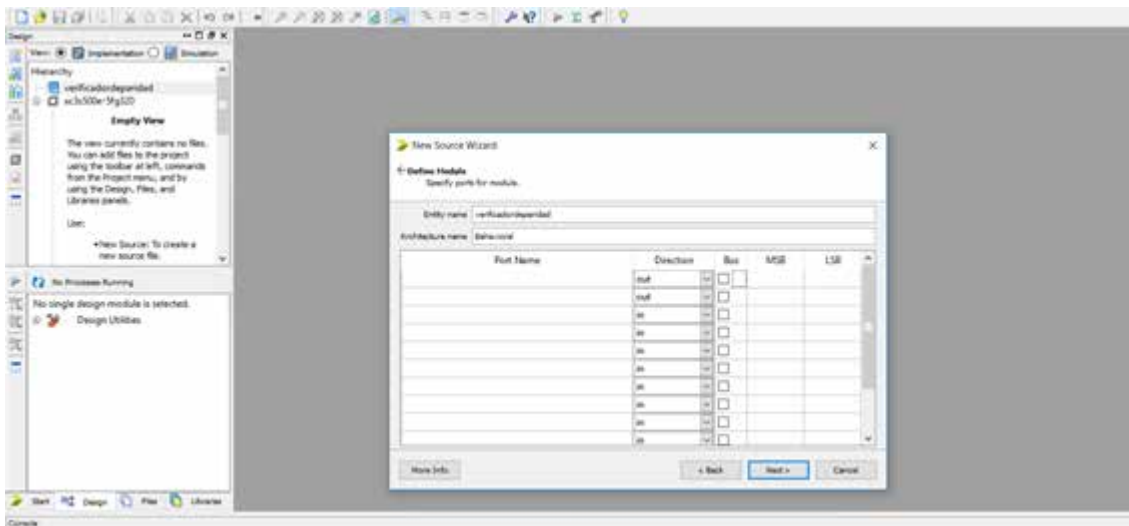


Figura 7: Declaración de las variables.

Fuente: Los Autores.

Una vez realizado los pasos anteriores observamos que se añade un nuevo archivo .vhd, en el cual podemos desarrollar nuestro código.

En el código es importante destacar los siguientes aspectos que se indican a continuación:

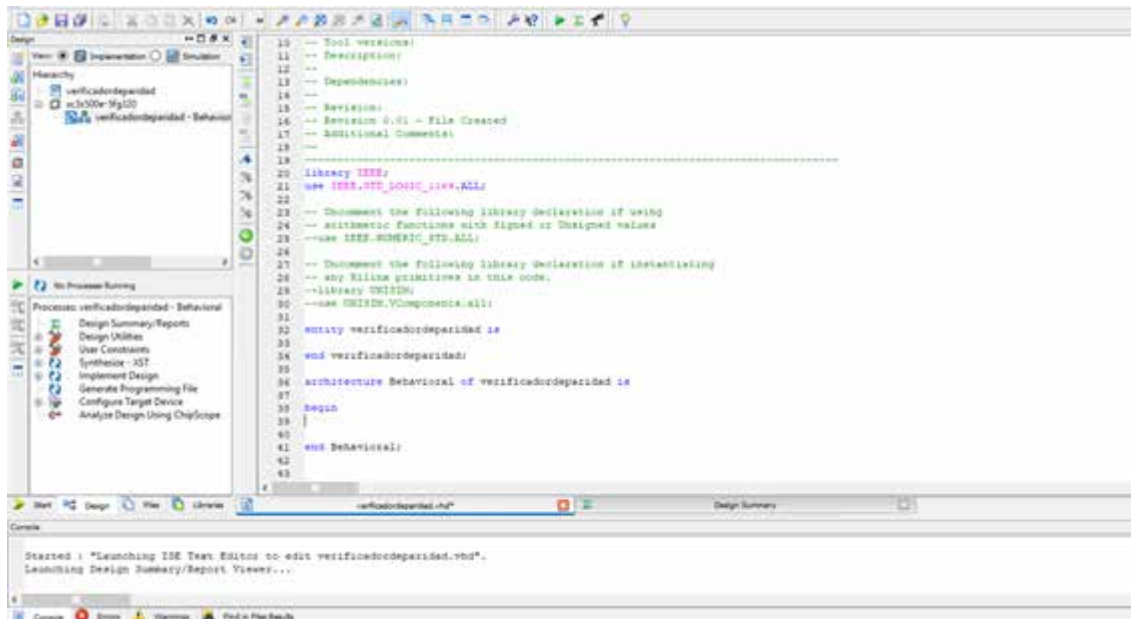


Figura 8: Aspectos importantes de la programación.

Fuente: Los Autores.

Librerías IEEE y IEEE.STD_LOGIC_1164.ALL: Son las librerías que se importan al generar el Módulo VHDL las cuales nos permiten hacer uso de tipo de datos STD_LOGIC.

Entity (entidad): aquí se debe describir el hardware, es decir, se describen las variables de entrada y salida que configuraremos en la FPGA.

Architecture: en este segmento se describe el comportamiento del sistema.

Paso 6: Una vez realizado el código, podemos enlazar las entradas y salidas físicamente en la tarjeta FPGA haciendo uso de la aplicación “PlanAhead”, la cual encontramos en el cuadro de procesos en la pestaña User Constraints ---> I/O Pin Planing (PlanAhead) - Pre-Synthesis (ver figura 9).

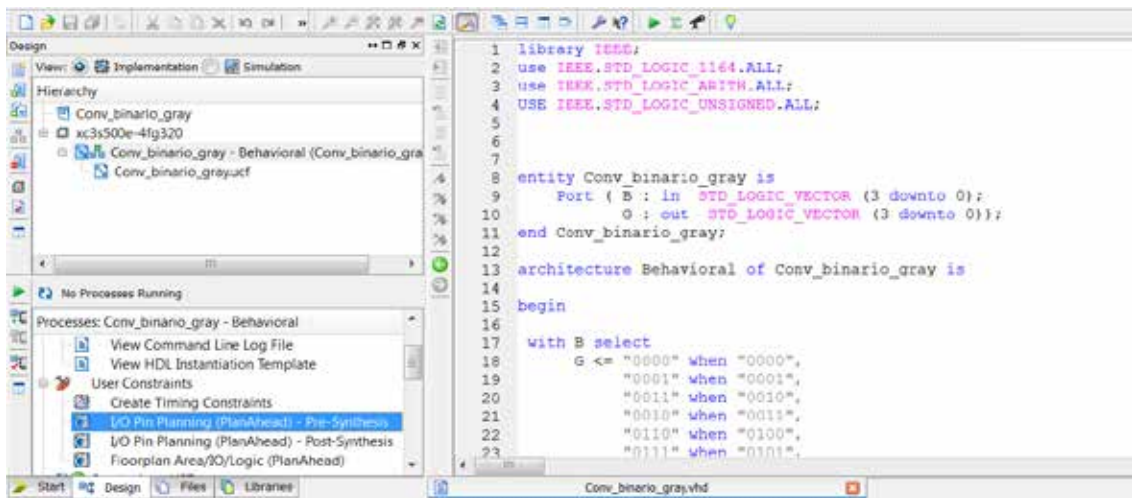


Figura 9: Enlace de Entradas y Salidas con PlanAhead (1).

Fuente: Los Autores.

Esto abrirá la aplicación en otra ventana, en la parte inferior podemos ver las variables declaradas (ver figura 10) y proceder a conectar físicamente a la tarjeta (no se necesita conectar la tarjeta). En la tarjeta se observa que los Switches, LEDs, Botones e incluso el display 7 Segmentos, tienen entre paréntesis una letra acompañada de números, estos son las direcciones de cada uno de dichos elementos. En la columna “Site” debemos colocar las direcciones de los elementos que deseemos enlazar con las respectivas entradas y salidas. En las demás columnas se visualizan otros aspectos como el voltaje y otras características que se seleccionan por defecto, dependiendo de la tarjeta.

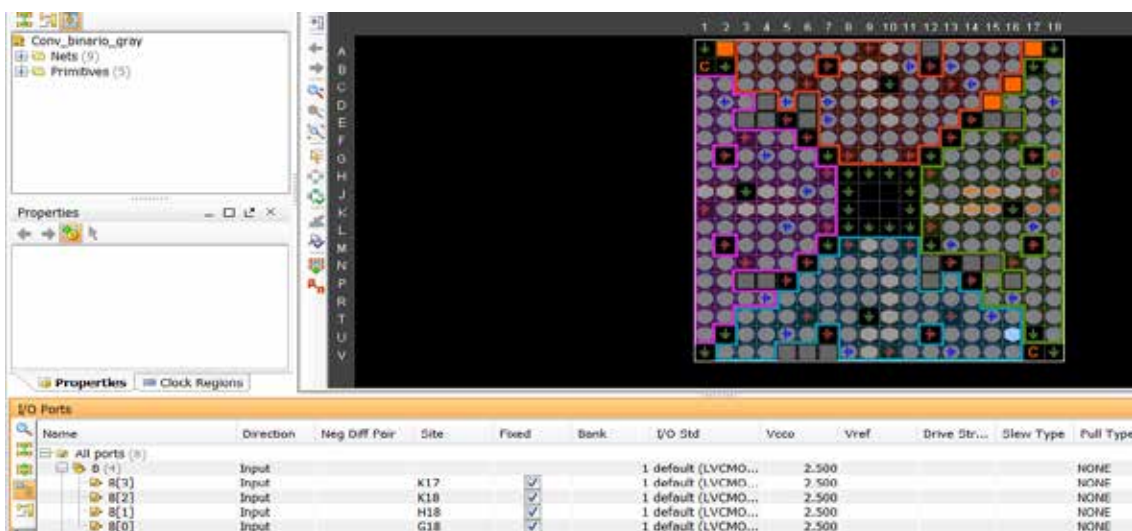


Figura 10: Enlace de Entradas y Salidas con PlanAhead (2).

Fuente: Los Autores.

Una vez enlazadas las variables guardamos y podemos cerrar la aplicación. Devuelta en ISE podemos observar que se creó un nuevo archivo .ucf (ver figura 11) el cual si lo abrimos, contiene la configuración de los pin de la tarjeta con las variables.

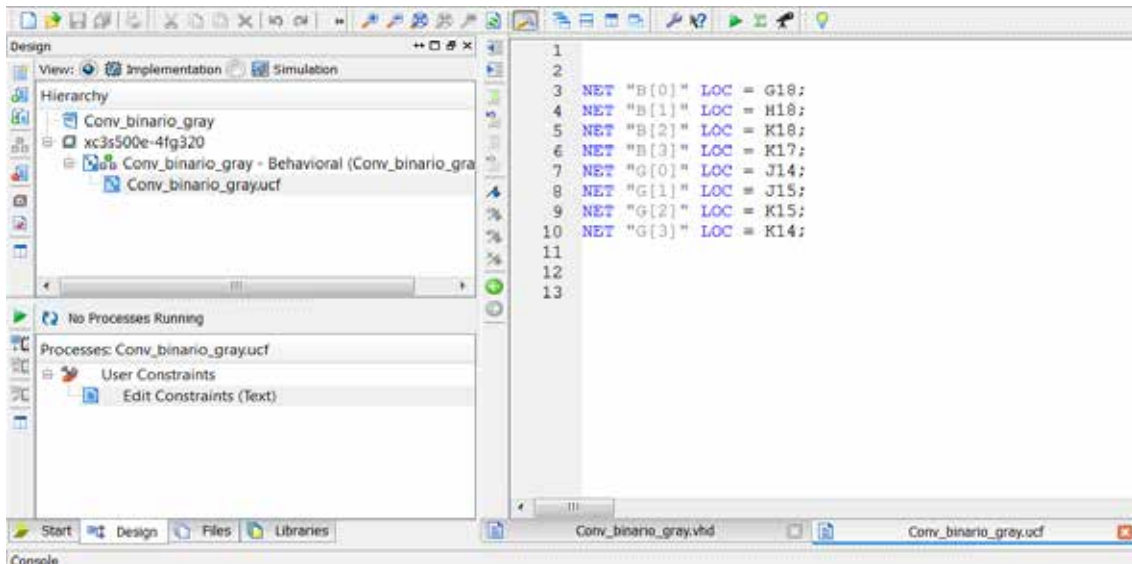


Figura 11: Visualización de Archivo .ucf.

Fuente: Los Autores.

Paso 7: Ahora se procede a ejecutar los procesos de Síntesis, Implementación y Programación explicados anteriormente, los cual haremos pulsando la flecha verde (figura 12).

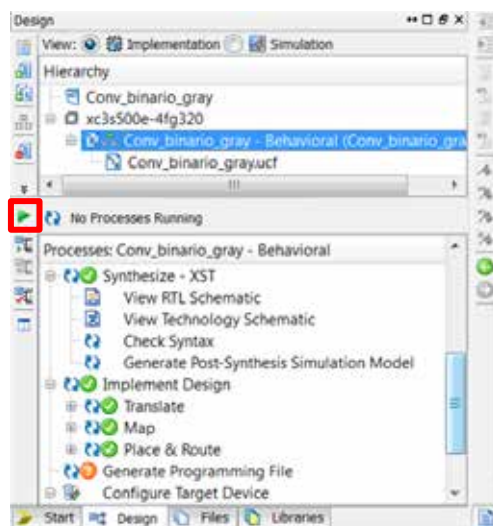


Figura 12: Ejecución de los Procesos

Fuente: Los Autores.

Esto hará un chequeo de la sintaxis y además de la traducción, mapeo, colocación y enrutado de nuestro código y genera el archivo .bit que posteriormente descargamos en la tarjeta FPGA. Terminado los procesos iniciamos el proceso programar la tarjeta haciendo clic en “Manage Configuration Project (iMPACT)” (ver figura 13), esto abrirá la aplicación ISE iMPACT (a partir de aquí debemos tener conectada la tarjeta FPGA a nuestro computador).

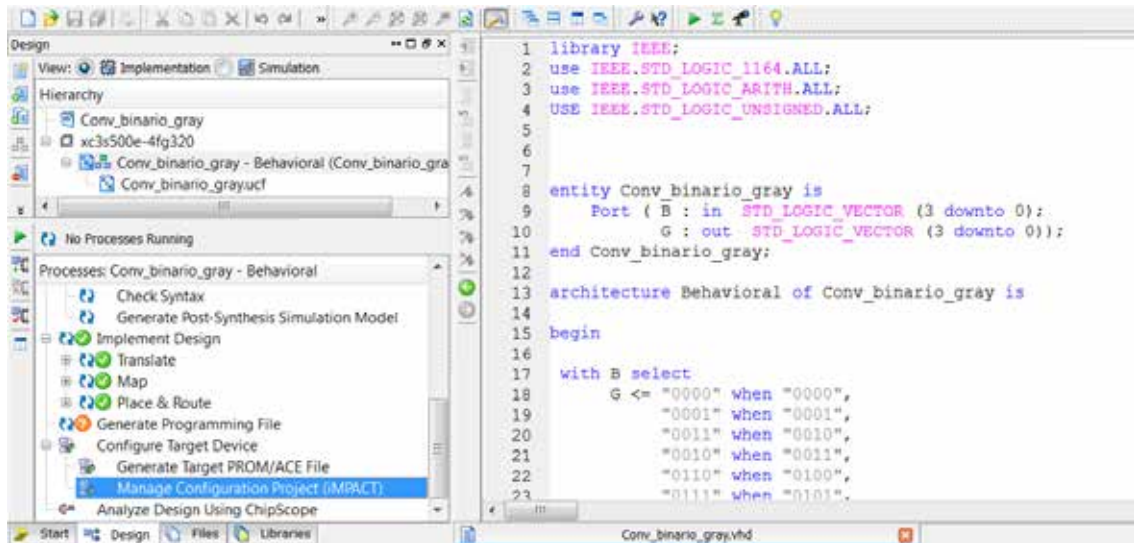


Figura 13: Uso de la Herramienta iMPACT.

Fuente: Los Autores.

Ahora en la aplicación ISE iMPACT con la tarjeta conectada y encendida, seleccionar “Boundary Scan” (1) y luego “Initialize Chain” (2). (figura 14).



Figura 14: Reconocimiento de la tarjeta.

Fuente: Los Autores.

Aparecerá una ventana que nos indica si queremos asignar el archivo de configuración (figura 15).

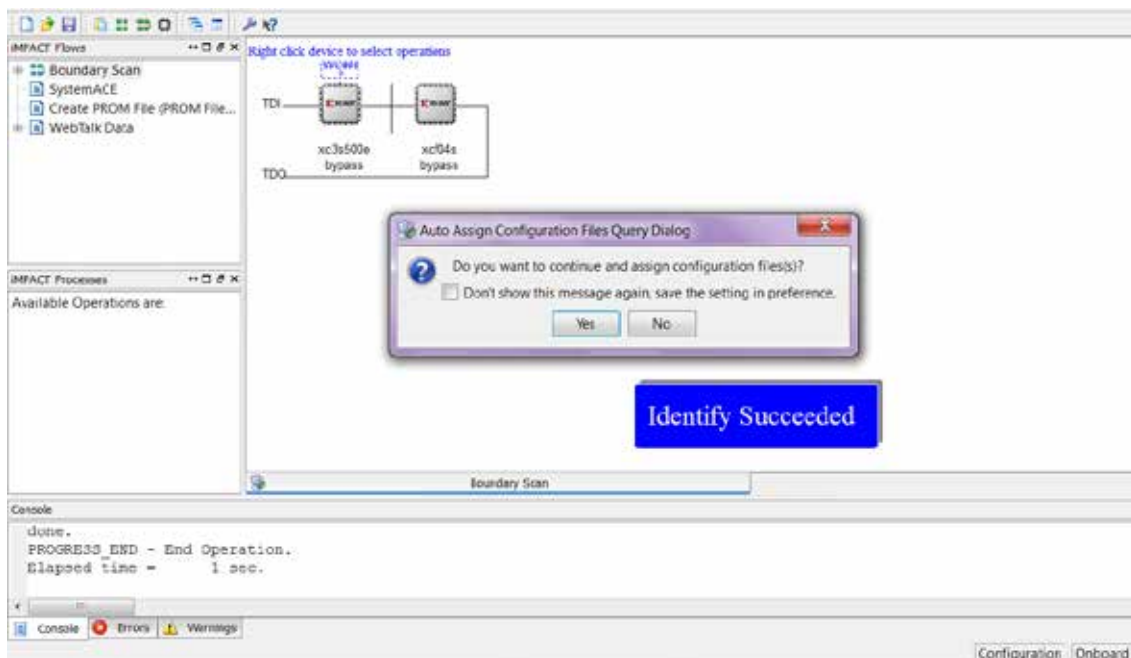


Figura 15: Asignación del archivo de configuración.

Fuente: Los Autores.

Seleccionamos en archivo .bit, y cerramos las siguientes ventanas que aparecen (figura 16).

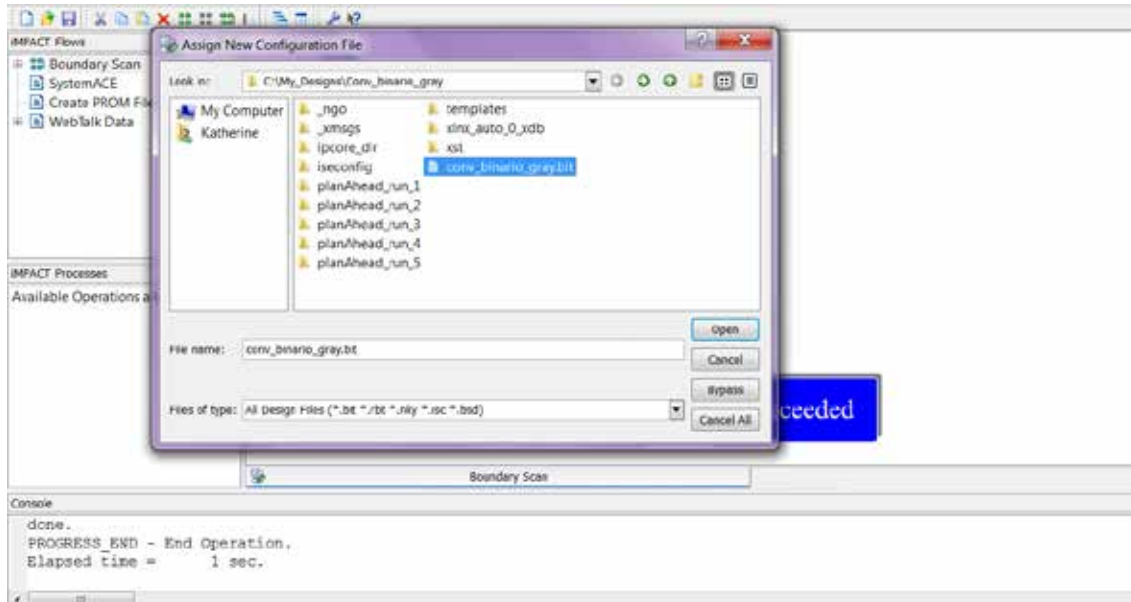


Figura 16: Selección del archivo .bit

Fuente: Los Autores.

Luego click derecho en el xc3s500e y seleccionamos programar (figura 17).

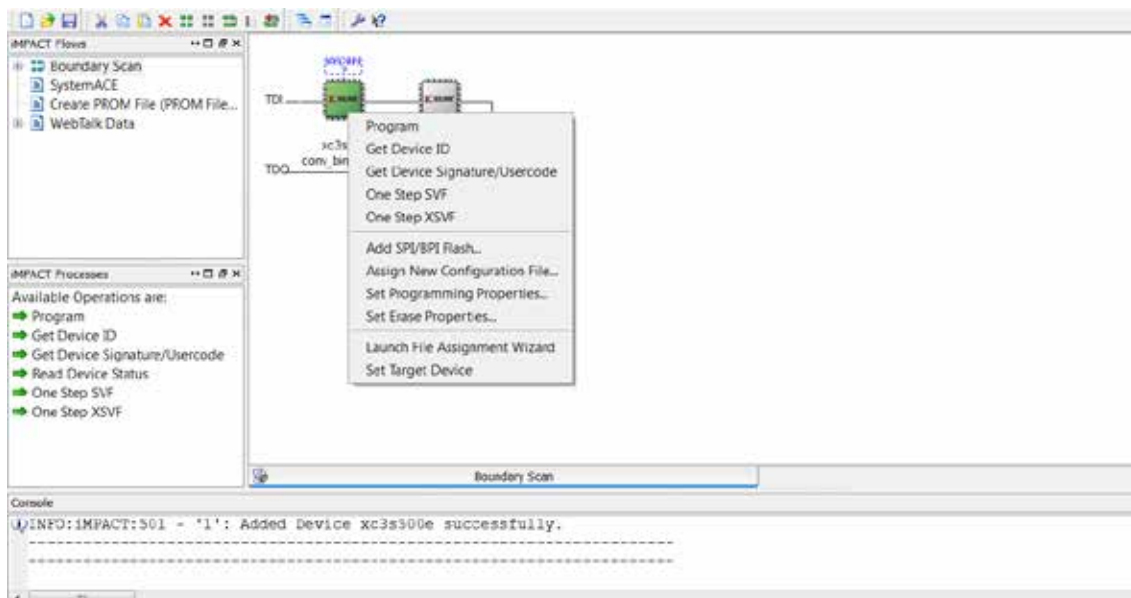


Figura 17: Descarga del Archivo .bit en la tarjeta.

Fuente: Los Autores.

Una vez hecho esto tendremos el programa funcionando en la tarjeta (figura 18).

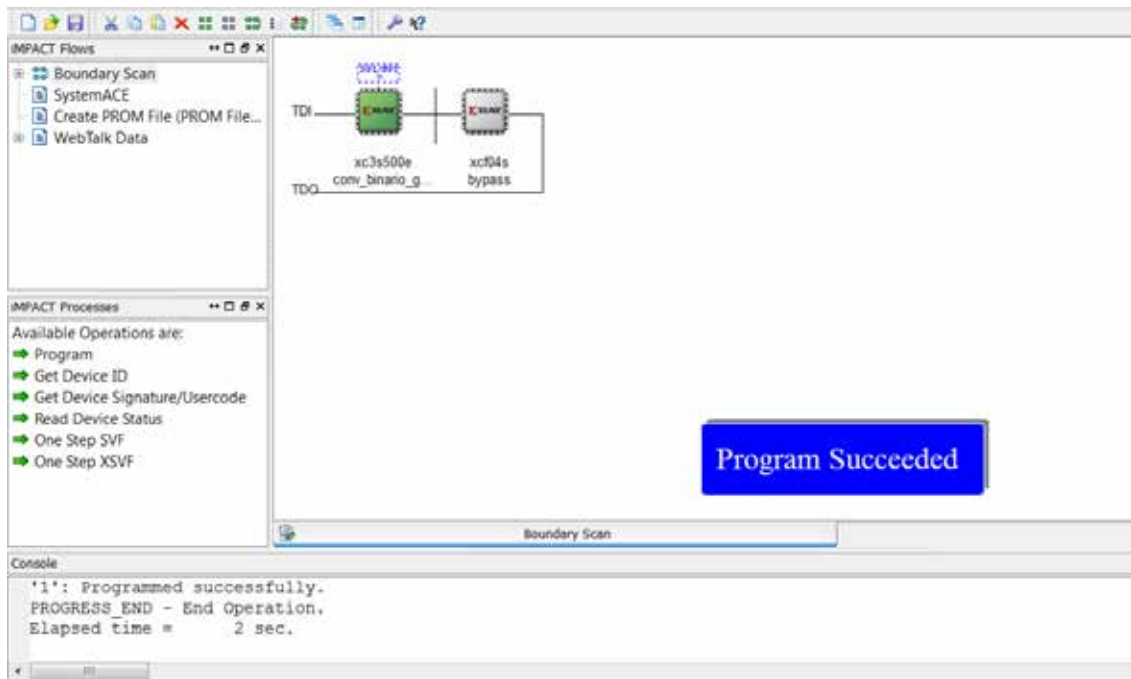


Figura 18: Carga completa del archivo .bit en la tarjeta.

Fuente: Los Autores.

PostLaboratorio

1. Efectúa un proyecto, considerando los pasos indicados previamente. Realiza el registro fotográfico pertinente y su respectiva explicación.
2. Realiza una investigación sobre otros modelos de tarjetas FPGA
3. Elabora un cuadro comparativo de los modelos investigados en contraste con la versión existente en la UJAP (Spartan3E). Establece ventajas y desventajas, semejanzas y diferencias.

PRÁCTICA 1: CONVERTIDOR DE CÓDIGO BINARIO A GRAY

Objetivo: Realizar la programación de un convertidor de código binario a gray, empleando la tarjeta FPGA.

PreLaboratorio

El Código Gray es un caso particular del sistema binario. Consiste una ordenación de 2^n números binarios de tal forma que cada número solo tenga un dígito binario distinto a su predecesor. Esta técnica de codificación se originó cuando los circuitos lógicos digitales se realizaban con válvulas de vacío y dispositivos electromecánicos. Los contadores necesitaban potencias muy elevadas a la entrada y generaban picos de ruido cuando varios bits cambian simultáneamente.

El uso de código Gray garantizó que en cualquier transición variaría tan solo un bit. En la actualidad, el código Gray se sigue empleando para el diseño de cualquier circuito electrónico combinatorio, ya que el principio de diseño de buscar transiciones más simples y rápidas entre estados sigue vigente, a pesar de que los problemas de ruido y potencia se hayan reducido.

BINARIO				CÓDIGO GRAY			
B3	B2	B1	B0	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

Figura 19: Tabla de Verdad Convertidor Código Binario a Gray.

Fuente: Los Autores.

Desarrollo: Mediante la tabla de verdad (figura 19) presentada anteriormente, realizar el código VHDL correspondiente que cumpla con sus requerimientos, empleando el enunciado “with-select-when” y vectores de entrada y de salida para los datos.

Descripción del código VHDL:

PostLaboratorio

1. Desarrolle el mismo programa de la práctica, empleando un código diferente. Realiza el registro fotográfico pertinente y su respectiva explicación.
2. Elabore un cuadro comparativo, estableciendo diferencias y semejanzas, así como ventajas y desventajas, de esta práctica con la realizada en el Laboratorio de Circuitos Digitales sobre el mismo contenido (convertidor de código binario a gray)

PRÁCTICA 2: COMPARADOR DE MAGNITUD

Objetivo: Realizar la programación de un comparador de magnitud, empleando la tarjeta FPGA.

PreLaboratorio

Los circuitos comparadores son sistemas combinatorios que comparan la magnitud de dos o más números binarios de n bits e indica cuál de ellos es mayor, menor o si existe igualdad entre ellos. dependiendo del número de bits a comparar, será la relación del comparador. Existen comparadores de 4 bits y de 8 bits.

2^3	2^2	2^1	2^0	A>B	A<B	A=B
A ₃	A ₂	B ₃	B ₂	S ₀	S ₁	S ₂
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

Figura 20: Tabla de Verdad Comparador de Magnitud.

Fuente: Los Autores.

Desarrollo: Mediante la tabla de verdad (figura 20), realizar el código VHDL correspondiente que cumple con sus requerimientos, emplear el enunciado “*if-then-elsif-then*” empleando vectores de entrada u de salida para datos.

Desarrollo en VHDL:

PostLaboratorio

1. Desarrolle el mismo programa de la práctica, empleando un código diferente. Realiza el registro fotográfico pertinente y su respectiva explicación.
2. Elabore un cuadro comparativo, estableciendo diferencias y semejanzas, así como ventajas y desventajas, de esta práctica con la realizada en el Laboratorio de Circuitos Digitales sobre el mismo contenido (comparador de magnitud)

PRÁCTICA 3: DISPLAY 7 SEGMENTOS

Objetivo: Realizar la programación de un display 7 segmentos, empleando la tarjeta FPGA.

PreLaboratorio

El visualizador de 7 segmentos es un componente que se utiliza para la representación de caracteres (normalmente números) en muchos dispositivos electrónicos, debido en gran medida a su simplicidad. Aunque externamente su forma difiere considerablemente de un led típico, internamente están constituidos por una serie de leds con unas determinadas conexiones internas (ver figura 21), estratégicamente ubicados de tal forma que forme un número '8'.

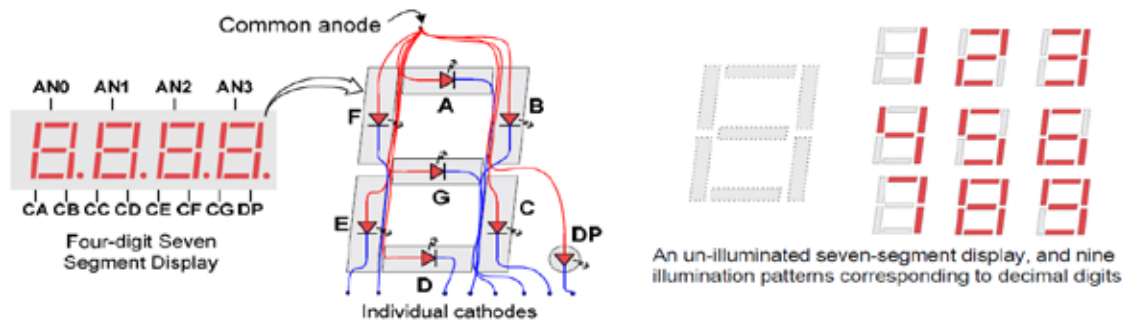


Figura 21: Nexys2 display siete-segmentos.
Fuente: Digilent (2011).

La placa Nexys2 contiene una pantalla LED de siete segmentos de ánodo común de cuatro dígitos. Los ánodos de los siete LED que forman cada dígito están unidos en un nodo de circuito de "ánodo común", pero los cátodos del LED permanecen separados. Las señales de ánodo comunes están disponibles como cuatro señales de entrada de "habilitación de dígitos" para la pantalla de 4 dígitos. Los cátodos de segmentos similares en las cuatro pantallas se conectan a siete nodos de circuito etiquetados CA a través de CG (por ejemplo, los cuatro cátodos "D" de los cuatro dígitos se agrupan en un solo nodo de circuito llamado "CD"). Estas siete señales de cátodo están disponibles como entradas para la pantalla de 4 dígitos. Este esquema de conexión de señal crea una pantalla multiplexada, donde las señales de cátodo son comunes a todos los dígitos, pero sólo pueden iluminar los segmentos del dígito cuya señal de ánodo correspondiente está activada.

Para que cada uno de los cuatro dígitos aparezca brillante e iluminado continuamente, los cuatro dígitos deben manejarse una vez cada 1 a 16 ms, para una frecuencia de actualización de 1 KHz a 60 Hz. Por ejemplo, en un esquema de actualización de 60Hz, la pantalla completa se actualizará una vez cada 16 ms y cada dígito se iluminará durante la cuarta parte del ciclo de actualización, o 4 ms. El controlador debe conducir los cátodos con el patrón correcto cuando se acciona la señal de ánodo correspondiente. Para ilustrar el proceso, si se confirma AN0 mientras que se confirman CB y CC, entonces se mostrará un "1" en la posición del dígito 1. Luego, si se afirma AN1 mientras que CA, CB y CC están activadas, entonces se mostrará un "7" en la posición del dígito 2. Si AN0 y CB, CC se activan durante 4 ms, y luego A1 y CA, CB, CC se activan durante 4 ms en una sucesión sin fin, la pantalla mostrará "17" en los dos primeros dígitos. Se proporciona un ejemplo de diagrama de tiempo para un controlador de cuatro dígitos.

Desarrollo en VHDL:

PostLaboratorio

1. Desarrolle el mismo programa de la práctica, empleando señales de reloj como se explica en el **PreLaboratorio** para visualizar dos o más dígitos en pantalla. Realiza el registro fotográfico pertinente y su respectiva explicación.

2. Elabore un cuadro comparativo, estableciendo diferencias y semejanzas, así como ventajas y desventajas, de esta práctica con la realizada en el Laboratorio de Circuitos Digitales sobre el mismo contenido (display 7 segmentos).

PRÁCTICA 4: VERIFICADOR DE PARIDAD

Objetivo: Realizar la programación de un mecanismo de detección de errores, mediante el bit de paridad, empleando la tarjeta FPGA.

PreLaboratorio

Los circuitos electrónicos digitales se basan en la transmisión y el procesamiento de información, lo que hace necesario verificar que la información recibida es igual a la emitida; no suelen producirse errores, por lo que cuando ocurren en la mayoría de los casos el error en la transmisión se produce en un único bit. El método más sencillo y eficaz de comprobación de la transmisión de datos consiste en añadir a la información transmitida un bit más, con la misión de que el número de 1 transmitidos en total sea par (paridad par), o impar (paridad impar).

El bit de paridad es independiente de la cantidad de ceros en el código, y no lo afectan los pares de unos. No obstante, si dos (o cualquier número par) de bits se invierten debido a un error, aparecerá un error no detectado. Normalmente, se utiliza paridad par para la transmisión síncrona y paridad impar para la asíncrona.

En el ámbito de la lógica digital, una compuerta lógica que determine cuando todas sus entradas son iguales es la XOR. Con una compuerta XOR, si todas las entradas son iguales (todas 0 ó todas 1), la salida es 0. Por ende, constituye la base para el diseño de circuitos lógicos para comprobar de paridad par o impar (ver figura 22).

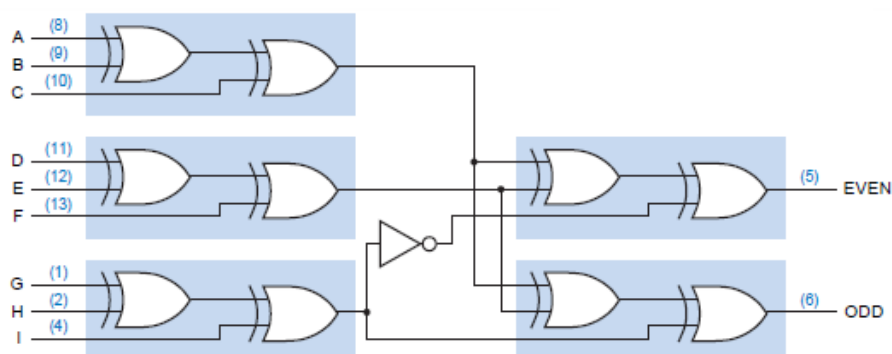


Figura 22: Circuito Lógico Verificador de Paridad.
Fuente: Wakerly (1999).

Desarrollo: Basándose en el circuito descrito anteriormente (ver figura 22), realizar el código VHDL correspondiente que cumpla con los requerimientos del mismo, empleando los conocimientos adquiridos en las prácticas anteriores.

Para la presente práctica no se proporciona el código VHDL debido a que se requiere que el alumno haga uso de lo aprendido en las prácticas anteriores, así como los conocimientos adquiridos de la teoría. En lugar del código VHDL, se proporciona un instructivo e imágenes para que el alumno comprenda cómo el funcionamiento de la tarjeta como un verificador de paridad; aunado a lo anterior, el archivo .bit que puede ser cargado en la tarjeta para una demostración en clase.

El circuito lógico del verificador de paridad nos exige nueve entradas por la cual enviaremos una palabra de 9 bits en este caso empleando las letras mayúsculas del abecedario en formato ASCII como palabra y dos salidas que nos indican la paridad de la palabra enviada (Even y Odd).

Para el envío de la palabra hacemos uso de los Switches como método de entrada y el display 7 segmentos como salida, el cual muestra las iniciales de las palabras Even en caso par y Odd en caso impar, siendo este último considerado como un error en la transmisión, debido a que todas las palabras enviadas se les añade un bit de paridad par. Debido a que la transmisión de los datos se realiza internamente en la tarjeta, es casi imposible que ocurra un error durante la transmisión, por lo cual se debe introducir un error manualmente que pueda afectar la transmisión en cualquier momento, como observaremos más adelante.

En la Figura 23 podemos observar que ningún switch está activado, pero aun así el display 7 segmento muestra una “E” indicando par, esto se debe a que, el programa está en constante lectura de las entradas y detecta cero “1” lo cual es considerado par también.



Figura 23: Funcionamiento del Verificador de Paridad en La Tarjeta FPGA.
Fuente: Los Autores.

En la siguiente imagen (Figura 24) se encuentra activo el Switch 0 (SW0) el cual envía una palabra y enciende los leds con los bits enviados, en el display podemos observar que no ocurre ningún cambio dado, que la palabra enviada contiene dos "1s" por tanto sigue siendo par y no presenta ningún error la transmisión.



Figura 24: Funcionamiento del Verificador de Paridad SW0 Activo.
Fuente: Los Autores.

Lo mismo ocurre al activar el Switch 2 (SW2) ver Figura 25.

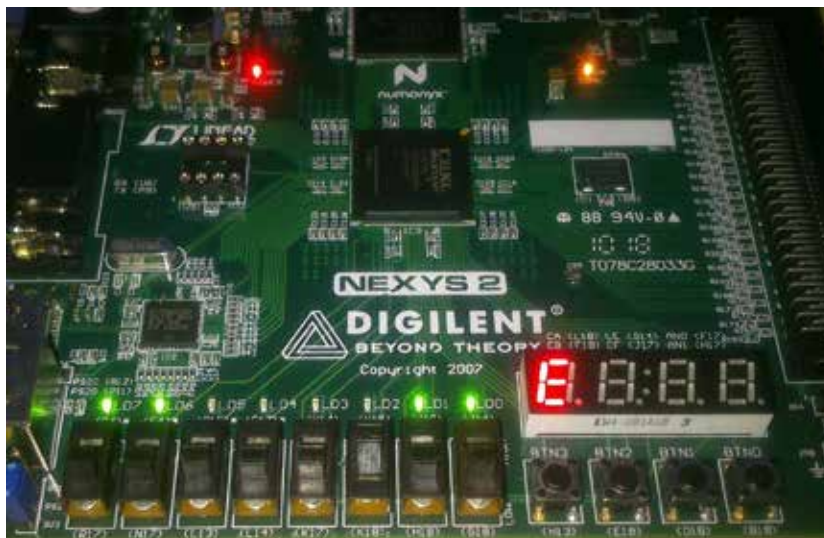


Figura 25: Funcionamiento del Verificador de Paridad SW2 Activo.
Fuente: Los Autores.

Ahora, procedemos con el Switch 2 (SW2) aún activo, para introducir un error manualmente, pulsamos uno de los cuatro botones y, observamos (ver figura 26) que modifica la palabra enviada, cambiándole un bit, inmediatamente notamos que el display 7 Segmento también cambia, indicando paridad par; por consiguiente, hay un error en la transmisión.

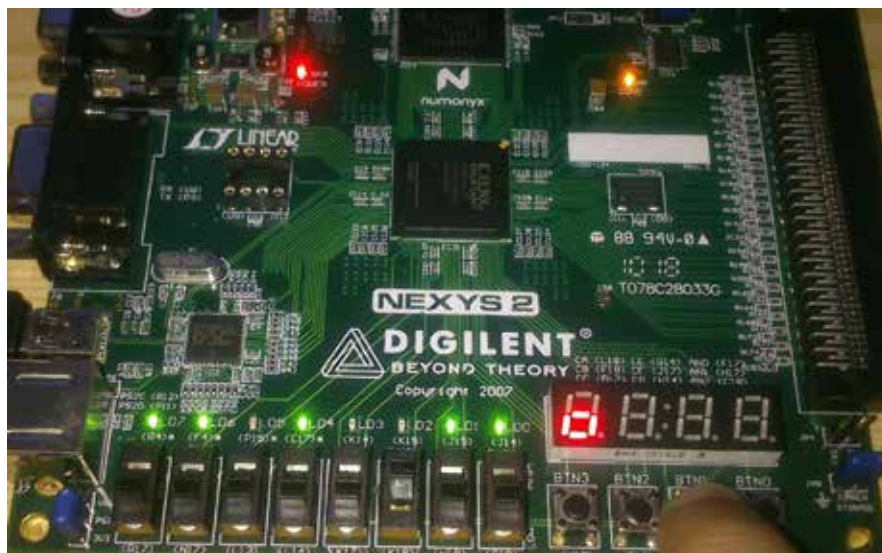


Figura 26: Funcionamiento del Verificador de Paridad con error de transmisión.
Fuente: Los Autores.

Ahora, sí en cambio de un botón presionamos dos botones (ver figura 27), observamos que se cambian dos bits y la palabra recibida no es la correcta, pero aun así el display muestra una paridad par. Esto se debe a que la detección de errores por el método de bit de paridad no es infalible y cuando los errores se presentan en pares de bits no los detecta, así como tampoco indica cual bits contiene el error, al menos que se puedan observar mediante leds, como en este caso experimental.

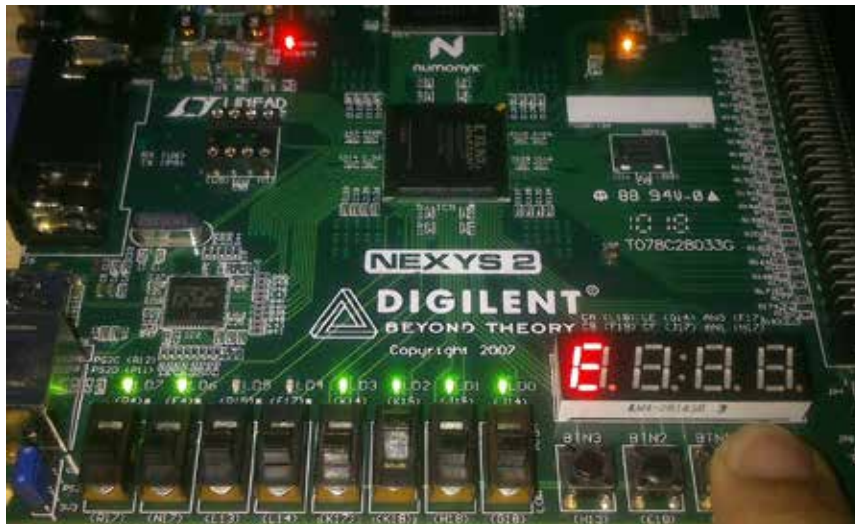


Figura 27: Funcionamiento del Verificador de Paridad con dos errores de transmisión.
Fuente: Los Autores.

PostLaboratorio

1. Considerando lo explicado en el desarrollo de esta práctica y los conocimientos de las prácticas previas, desarrolla el código necesario para el funcionamiento de detección de errores empleando el bit de paridad. Nota: A modo de prueba solo emplee el código ASCII de las letras A, B, C, D, E, F, G, H.
2. Desarrolla el mismo programa empleando un código diferente al aspecto anterior.
3. Realiza el registro fotográfico pertinente y su respectiva explicación de las preguntas 1 y 2.
4. ¿Cuáles son las diferencias entre transmisión serie y paralela?
5. Enumera tres técnicas diferentes de transmisión serie y explica las diferencias
6. ¿Qué es un bit de paridad?
7. ¿En qué se diferencian un error de bit de uno de ráfaga?
8. ¿Existe alguna relación entre una detección de errores de paridad simple y una de paridad de dos dimensiones? Explica en caso de ser afirmativo.
9. Existe algún tipo de error que no se pueda detectar por paridad simple. Explica en caso de ser afirmativo.

5.2 Aspectos Finales

En este apartado final se esgrimen las conclusiones y recomendaciones derivadas del presente estudio.

5.2.1 Conclusiones

En primera instancia, es indudable que los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP, están garantizados. Las tarjetas FPGA se encuentran disponibles en los laboratorios de la Universidad y actualmente se encuentran en desuso; además, para su funcionamiento se requiere la instalación del programa ISE de Xilinx, disponible de manera gratuita en el portal web del fabricante. Aunado a lo anterior, el cuestionario aplicado a los estudiantes, futuros usuarios del laboratorio, arrojó un nivel de aceptación muy alto sobre los requerimientos de hardware y software, cuyo porcentaje promedio fue de 88,42 por ciento y 91,68 por ciento, respectivamente.

En segunda instancia, la factibilidad del diseño del laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP, están verificados; ya que, están garantizados los requerimientos técnicos, económicos e institucionales. Su puesta en práctica no generará un costo adicional para la institución, profesores o estudiantes; por la disposición de infraestructura, tarjetas FPGA, programas y personal requerido.

En tercera instancia, el diseño del laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP, se efectuó a cabalidad y en atención a los resultados obtenidos en las etapas anteriores de la investigación. Para su ejecución, se contempló la elaboración de un Manual de Prácticas con FPGA, que conlleva de manera secuencial y didáctica el desarrollo del laboratorio propuesto, afianzando así la viabilidad de su implementación. La propuesta desarrollada puede ser aplicada en las estrategias didácticas que realicen los docentes en las asignaturas de Circuitos Digitales, Laboratorio de Circuitos Digitales y Transmisión de Datos; sin embargo, su aplicación se dirige fundamentalmente a la última asignatura mencionada, considerando los

conocimientos previos adquiridos en las asignaturas precedentes (Circuitos Digitales, Laboratorio de Circuitos Digitales).

5.2.2 Recomendaciones

Debido a que la UJAP, a través de las Escuelas de Electrónica y Telecomunicaciones de su Facultad de Ingeniería, cumple la función de formar a los futuros ingenieros en áreas tan relevantes para el desarrollo tecnológico de toda sociedad, como lo son la Electrónica y las Telecomunicaciones; se hace imperante enriquecer e incrementar la didáctica universitaria de sus docentes, con laboratorios que permitan experimentar lo teóricamente establecido, integrando además de los materiales disponibles en la institución, el conocimiento de varias asignaturas comunes en ambas carreras. De esta manera, se favorece la formación de un profesional del área de ingeniería, que tal y como lo indica Guevara (2005), sea capaz de utilizar los avances de la ciencia y tecnología para encontrar problemas derivados de dichas necesidades.

En virtud de lo expresado anteriormente, se recomienda a la UJAP el empleo del laboratorio propuesto en esta investigación, y por ende la aplicación de su manual. Esto puede conllevar, entre otros aspectos positivos, al empleo de estrategias novedosas e integradoras por parte de los docentes de las asignaturas involucradas (Circuitos Digitales, Laboratorio de Circuitos Digitales y Transmisión de Datos), garantizando así una planificación y organización del contenido a facilitar, soslayando la improvisación, el conocimiento fragmentado y la exclusividad de las clases magistrales y teóricas.

Además de la ejecución del laboratorio desarrollado y su manual, que incluye el uso de las tarjetas FPGA disponibles en la institución y que actualmente se encuentran en desuso; es recomendable emplear todas aquellas estrategias y recursos que los docentes consideren necesarios y que propicien un ambiente factible para que los estudiantes desarrollen aprendizajes significativos, pertinentes y concretos. No obstante, motivado a la situación macroeconómica que atraviesa el país, la inserción de otro tipo de tarjetas programables dependerá de factores que garanticen su viabilidad o factibilidad económica.

De igual manera, se recomienda emplear el modelo de tarjeta FPGA disponible en la UJAP, como herramienta de laboratorio para contenidos de otras asignaturas de ambas Escuelas de la Facultad de Ingeniería; además de los contenidos que fueron contemplados y abordados en este estudio. Lo anterior obedece a la potencialidad didáctica que conllevan estas tarjetas, recursos valiosos que tienen mucho potencial práctico por explotar. Y en el caso específico de la Transmisión de Datos y los distintos mecanismos para detectar errores, se recomienda el empleo de estas tarjetas en el resto de los métodos de detección de errores, ya sean bit de paridad en dos dimensiones, Hamming y el de Comprobación de Redundancia Cíclica (CRC), entre otros.

Por último y no menos importante, se recomienda el desarrollo de investigaciones posteriores que consideren la puesta en práctica de la propuesta derivada en este estudio. Independientemente de la naturaleza metódica de las indagaciones que se puedan ejecutar, lo importante radica en determinar, bajo situaciones puntuales y concretas de la Universidad, los efectos, beneficios o ventajas que conlleven la puesta en práctica del laboratorio propuesto. En contraparte, lo anterior también permitirá determinar posibles debilidades y en función de ello, realizar los cambios o modificaciones que sean pertinentes.

REFERENCIAS

- Arias, F. (2006). **El Proyecto de Investigación. Introducción a la metodología científica.** (5ª ed.). Caracas: Episteme C. A.
- Balestrini, M. (2002). **Cómo se elabora el Proyecto de Investigación. (Para los estudios formulativos o exploratorios, descriptivos, diagnósticos, evaluativos, formulación de hipótesis causales, experimentales y los proyectos factibles)** (6ª edición) BL Consultores Asociados. Venezuela.
- Balestrini, M. (2007). **Cómo se elabora un Proyecto de Investigación.** (2ª edición) BL Consultores Asociados. Venezuela.
- Castillo, A. Vásquez, J. Ortegón, J y Rodríguez, C. (2003). **Prácticas de laboratorio para estudiantes de ingeniería con FPGA.** Disponible en: https://www.researchgate.net/profile/Alejandro_Castillo_Atoche/publication/3455209_Laboratory_Projects_for_Engineering_Students_with_FPGA/links/549184450cf2d1800d89e31c/Laboratory-Projects-for-Engineering-Students-with-FPGA.pdf Consulta: 16-07-2018.
- Cruz, J. (2005). **La Formación Práctica del Ingeniero Electrónico en el Laboratorio.** Disponible en: http://sedici.unlp.edu.ar/bitstream/handle/10915/24699/Documento_completo.pdf?sequence=1 Consulta: 10-07-2018.
- (*) Digilent (2011). **Nexys2 Board Reference Manual.** Disponible en: www.digilentinc.com Consulta: 11-06-2018.
- (*) Forouzan, B. (2007). **Transmisión de Datos y Redes de Comunicaciones** (4ta Edición). España: Mc Graw Hill.
- Gómez, G. (2000). **Introducción a la Metodología de la Investigación Científica.** Editorial Brujas.
- Guevara, E. (2005). **Introducción a la Ingeniería.** Venezuela: Ediciones Delforn, C.A.
- Hernández, R., Fernández, C y Baptista, P. (2003). **Metodología de la Investigación.** (3era ed.) México: Mc. Graw-Hill. Interamericana.

- Hernández, R; Fernández, C y Baptista, P. (2010). **Metodología de la Investigación**. (4ta ed.) México: Mc Graw Hill.
- Hurtado, J. (2012). **Metodología de la Investigación. Guia para la comprensión holística de la ciencia**. (4ta edición). Caracas: Ciea-Sypal.
- Ortega, A. (2015). **Sistema de Transmisión Segura Punto a Punto y Multipunto en Medios Compartidos**. Tesis presentada para obtener el grado de Doctor en Informática. Instituto Tecnológico de Buenos Aires. Disponible en: <https://ri.itba.edu.ar/handle/123456789/289> Consulta: 30-06-2018.
- Palella, S y Martins, F. (2006). Metodología de la Investigación Cuantitativa. (2da Edición). Caracas: FEDUPEL.
- Pérez, A y Terán A. (2015). **Diseño de Prácticas de Laboratorio Integrando un Equipo de Radio Definido por Software SDR y un Transmisor FM**. Trabajo de Grado presentado para obtener el título de Ingeniero en Telecomunicaciones. Universidad José Antonio Páez, Facultad de Ingeniería.
- Ruiz, C. (1998). **Instrumentos de Investigación Educativa**. Venezuela: Ediciones CIDERG
- Serralde, F. (2013). **Simular en VHDL la implementación de algoritmos FEC en dispositivos programables reconfigurables**. Tesis presentada para obtener el título de Ingeniero Eléctrico Electrónico. Universidad Nacional Autónoma de México, Facultad de Ingeniería. Disponible en: http://www.ptolomeo.unam.mx:8080/xmlui/bitstream/handle/132.248.52.100/4010/Tesis_fer.pdf?sequence=1 Consulta: 18-05-2018.
- Solano, N. (2016). **Implementación en una FPGA de un modulador y un demodulador QPSK en banda base**. Tesis presentada para obtener el título de Ingeniero en Electrónica y Telecomunicaciones. Escuela Politécnica Nacional. Quito, Ecuador. Disponible en: <http://bibdigital.epn.edu.ec/handle/15000/15229> Consulta: 29-06-2018.
- Stallings, W (2004). **Computadoras y Redes de Computadoras** (7ma Edición). España: Pearson Prentice Hall.
- (*) Tomasi, W. (2003). **Sistemas de Comunicaciones Electrónicas** (4ta Edición). México: Pearson Educación.

Universidad Nacional de Colombia. (2012). **Guía de uso Tarjeta Nexys 2 FPGA Spartan-3E**. (1ª edición). Bogotá. Disponible en: <https://docplayer.es/29726815-Guia-de-uso-tarjeta-nexys-2-fpga-spartan-3e.html> . Consulta: 12-06-2018.

Universidad Pedagógica Experimental Libertador-UPEL. (2016). **Manual de Trabajos de Grado de Especialización, Maestría y Tesis de Doctorales**. (5ª ed.). Caracas Fedupel.

Vinueza, R. (2017). **Análisis y evaluación de la técnica mejorada de corrección de errores Reed-Solomon Utilizando entrelazado de bytes en un canal variable en el tiempo**. Tesis presentada para obtener el título de Ingeniero en Electrónica y Telecomunicaciones. Escuela Politécnica Nacional. Quito, Ecuador. Disponible en: <http://bibdigital.epn.edu.ec/handle/15000/17392> Consulta: 30-06-2018.

(*) Wakerly, J. (1999). **Digital Design. Principles & Practics** (third edition). USA: Pearson Prentice Hall.

(*) Nota Importante:

Las figuras tomadas de estos autores fueron única y exclusivamente para los fines académicos inherentes al presente trabajo.

ANEXOS

ANEXO A: TABLA DE ESPECIFICACIONES DEL INSTRUMENTO

Objetivo del Instrumento	Variable	Definición Operacional	Dimensiones	Indicadores	Item	Técnica: Encuesta Instrumento: Cuestionario	Población Estudiantes de las carreras de Ingeniería en Electrónica y en Telecomunicaciones de la UJAP (5to semestre en adelante)
Diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP. (*)	Requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos.	Son el conjunto de elementos tangibles (hardware) e intangibles (software) necesarios para el desarrollo de un laboratorio interactivo sobre la transmisión serial de datos (Elaboración propia, 2018)	Hardware	Tarjetas programables en la UJAP	1		
				Tarjetas programables en laboratorios	2,3		
				Aprendizaje con tarjetas programables	4		
				Aplicación en la transmisión serial	5		
				Aplicación en la comprobación de paridad	6		
			Software	Programación en prácticas de laboratorio	7,8		
				Aplicación en la transmisión serial	9		
				Aplicación en la comprobación de paridad	10		

Fuente: Elaboración propia (2018)

(*) **NOTA:** Los requerimientos específicos y concretos del software y hardware serán determinados por los autores y tutor del presente trabajo, contando con el apoyo de los becarios y técnicos de los laboratorios de Electrónica y Telecomunicaciones de la UJAP. Como sustento al cumplimiento de este objetivo, se elaborará y aplicará el cuestionario dirigido a los futuros usuarios del laboratorio que se pretende desarrollar.

ANEXO B: CUESTIONARIO



**REPÚBLICA BOLIVARIANA DE VENEZUELA
UNIVERSIDAD JOSÉ ANTONIO PÁEZ
FACULTAD DE INGENIERÍA
ESCUELAS DE ELECTRÓNICA Y TELECOMUNICACIONES**

CUESTIONARIO

El presente cuestionario tiene como propósito fundamental, recabar información relacionada con la investigación titulada: **“DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES DE LA UJAP”**, la cual es realizada como requisito parcial para optar a los títulos de Ingeniero en Electrónica y Telecomunicaciones, en la Universidad José Antonio Páez.

Instrucciones:

Consta de diez (10) preguntas de respuesta cerrada y dicotómica (Si-No)

Debes seleccionar solo una opción

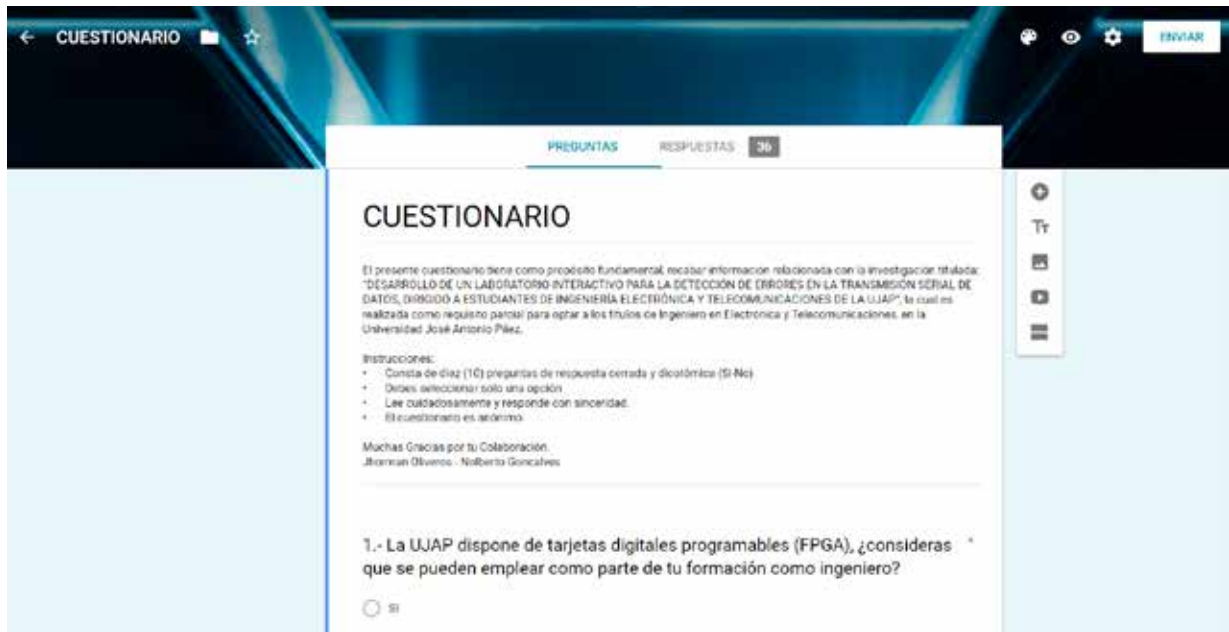
Lee cuidadosamente y responde con sinceridad.

El cuestionario es anónimo

Muchas Gracias por tu Colaboración.
Jhorman Oliveros - Nolberto Goncalves

		SI	NO
1	La UJAP dispone de tarjetas digitales programables (FPGA), ¿consideras que se pueden emplear como parte de tu formación como ingeniero?		
2	Consideras que las tarjetas programables se pueden emplear como parte de las experiencias en los laboratorios de Circuitos Digitales		
3	Consideras que las tarjetas programables se pueden emplear como parte de las experiencias en los laboratorios de Transmisión de Datos		
4	Consideras que el uso de tarjetas digitales programables (FPGA, Arduino y Raspberry Pi, entre otras) pueden favorecer tu aprendizaje en varias asignaturas de la carrera		
5	Consideras que las tarjetas programables se pueden emplear en la experimentación de laboratorio sobre la transmisión serial de datos		
6	Consideras que las tarjetas programables se pueden emplear en la experimentación de laboratorio como parte de un mecanismo de detección de errores a través de la comprobación de paridad		
7	Consideras que la programación de circuitos lógicos se puede emplear como parte de las experiencias en los laboratorios de Circuitos Digitales		
8	Consideras que la programación de circuitos lógicos se puede emplear como parte de las experiencias en los laboratorios de Transmisión de Datos		
9	Consideras que los programas requeridos en las tarjetas programables te pueden aportar conocimiento en los laboratorios sobre la transmisión serial de datos		
10	Consideras que los programas requeridos en las tarjetas programables te pueden aportar conocimiento en los laboratorios sobre la detección de errores		

ANEXO C: ADMINISTRACIÓN DEL CUESTIONARIO (FORMULARIOS DE GOOGLE)



← CUESTIONARIO ☆

PREGUNTAS RESPUESTAS 36 ENVIAR

CUESTIONARIO

El presente cuestionario tiene como propósito fundamental, recabar información relacionada con la investigación titulada: "DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES DE LA UJAP", la cual es realizada como requisito parcial para optar a los títulos de Ingeniero en Electrónica y Telecomunicaciones, en la Universidad José Antonio Páez.

Instrucciones:

- Consiste de diez (10) preguntas de respuesta cerrada y dicotómica (Si/No).
- Debes seleccionar solo una opción.
- Lee cuidadosamente y responde con sinceridad.
- El cuestionario es anónimo.

Muchas Gracias por tu Colaboración.
Jhonatan Olivares - Nalberto Gonçalves

1.- La UJAP dispone de tarjetas digitales programables (FPGA), ¿consideras que se pueden emplear como parte de tu formación como ingeniero?

SI

<https://docs.google.com/forms/d/e/1FAIpQLScv5XTmGtw1A2s5dnuzX-g2Yfy9UPZe2t0z0qg1KwGgm7KZAA/closedform>

**ANEXO D: VALIDACIÓN
(CARTA DIRIGIDA A LOS EXPERTOS)**



**REPÚBLICA BOLIVARIANA DE VENEZUELA
UNIVERSIDAD JOSÉ ANTONIO PÁEZ
FACULTAD DE INGENIERÍA
ESCUELAS DE ELECTRÓNICA Y TELECOMUNICACIONES**

Profesor: _____

Estimado Docente:

Reciba un cordial saludo, a través de la presente cumplimos con participarle que usted ha sido seleccionado en calidad de experto, para la validación del instrumento que fue elaborado con el fin de recolectar la información necesaria para la investigación titulada: **“DESARROLLO DE UN LABORATORIO INTERACTIVO PARA LA DETECCIÓN DE ERRORES EN LA TRANSMISIÓN SERIAL DE DATOS, DIRIGIDO A ESTUDIANTES DE INGENIERÍA ELECTRÓNICA Y TELECOMUNICACIONES DE LA UJAP”**, la cual es realizada por: **Jhorman Oliveros y Nolberto Goncalves**, como requisito parcial para optar a los títulos de Ingeniero en Electrónica y Telecomunicaciones, en la Universidad José Antonio Páez.

Esperando de usted su valiosa colaboración,

Jhorman Oliveros C.I 20.697.925

Nolberto Goncalves C.I 12.856.006

Anexos:

Título y Objetivos de la Investigación
Tabla de Especificaciones del Instrumento
Instrumento
Formato de Validación- Juicio de Expertos.

ANEXO E: RESULTADOS DE VALIDACIÓN (EXPERTO 1)

FORMATO DE VALIDACIÓN DEL INSTRUMENTO - JUICIO DE EXPERTOS

Objetivo del Instrumento: Diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJA/P

Aspecto relacionado con los ítems	1		2		3		4		5		6		7		8		9		10			
	SI	No	SI	No	SI	No	SI	No	SI	No	SI	No	SI	No	SI	No	SI	No	SI	No		
1 - La redacción es clara	✓		✓		✓		✓		✓		✓		✓		✓		✓		✓		✓	
2 - Tiene coherencia	✓		✓		✓		✓		✓		✓		✓		✓		✓		✓		✓	
3 - Induce a la respuesta	✓		✓		✓		✓		✓		✓		✓		✓		✓		✓		✓	
4 - Mide lo que se pretende	✓		✓		✓		✓		✓		✓		✓		✓		✓		✓		✓	

Aspectos Generales	Observaciones	
	SI	No
1 - El instrumento contiene instrucciones para su solución	✓	
2 - Los ítems permiten el logro del objetivo propuesto	✓	
3 - Los ítems están presentados en forma lógica - secuencial	✓	
4 - El número de ítems es suficiente para recoger la información	✓	

En caso de ser negativa su respuesta, sugiera el (los) ítem(s) que han fallado

Observaciones: En los preguntas 9 y 10 se muestra para la expresión "los software"
Trataría de utilizar otra expresión

Validado por:	Milagros Mejías
C.I.	7 225362
Fecha	4 NOV 18
Firma	<i>Milagros Mejías</i>
E-mail	mmejias40@gmail.com

VALIDEZ	
Aplicable	✓
No Aplicable	
Aplicable atendido a las observaciones	

ANEXO F: RESULTADOS DE VALIDACIÓN (EXPERTO 2)


FORMATO DE VALIDACIÓN DEL INSTRUMENTO - JUICIO DE EXPERTOS

Objetivo del Instrumento: Diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

Aspecto relacionado con los ítems	1		2		3		4		5		6		7		8		9		10		
	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	
1.- La redacción es clara	X		X		X		X		X		X		X		X		X		X		X
2.- Tiene coherencia	X		X		X		X		X		X		X		X		X		X		X
3.- Induce a la respuesta	X		X		X		X		X		X		X		X		X		X		X
4.- Mide lo que se pretende	X		X		X		X		X		X		X		X		X		X		X

Aspectos Generales	Si	No	Observaciones
1.- El instrumento contiene instrucciones para su solución	X		
2.- Los ítems permiten el logro del objetivo propuesto	X		
3.- Los ítems están presentados en forma lógica – secuencial	X		
4.- El número de ítems es suficiente para recoger la información. En caso de ser negativa a su respuesta, sugiera el (los) ítem(s) que harían falta.	X		

Observaciones: Ítems 7 y 8 hacen referencia a programación en general o a la programación en circuitos lógicos integrados?

Validado por:	Luis Guillermo José De Sousa Paéz		
C.I	V-17.191.975		
Fecha	05/11/2018		
Firma			
E-mail	luisgdesousa@gmail.com		

VALIDEZ	
Aplicable	
No Aplicable	
Aplicable atendiendo a las observaciones	X

ANEXO G: RESULTADOS DE VALIDACIÓN (EXPERTO 3)


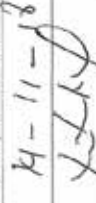
FORMATO DE VALIDACIÓN DEL INSTRUMENTO - JUICIO DE EXPERTOS

Objetivo del Instrumento: Diagnosticar los requerimientos técnicos de hardware y software necesarios para el diseño de un laboratorio interactivo para la detección de errores en la transmisión serial de datos, dirigido a estudiantes de Ingeniería Electrónica y Telecomunicaciones de la UJAP.

Aspecto relacionado con los ítems	1		2		3		4		5		6		7		8		9		10		
	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	Si	No	
1.- La redacción es clara	X		X		X		X		X		X		X		X		X		X		X
2.- Tiene coherencia	X		X		X		X		X		X		X		X		X		X		X
3.- Induce a la respuesta		X		X		X		X		X		X		X		X		X		X	X
4.- Mide lo que se pretende	X		X		X		X		X		X		X		X		X		X		X

Aspectos Generales	Si	No	Observaciones
1.- El instrumento contiene instrucciones para su solución	X		
2.- Los ítems permiten el logro del objetivo propuesto	X		
3.- Los ítems están presentados en forma lógica – secuencial	X		
4.- El número de ítems es suficiente para recoger la información.	X		
En caso de ser negativa su respuesta, sugiera el (los) ítem(s) que harían falta.			

Observaciones: _____

Validado por:	
CI	Seto R. López, H 8.779.775.
Fecha	H-11-18
Firma	
E-mail	seto.lopez@hotmail.com

VALIDEZ
Aplicable X
No Aplicable
Aplicable atendiendo a las observaciones

**ANEXO H: HOJA DE CÁLCULO
(COEFICIENTE DE CONFIABILIDAD)**

Sujeto/item	1	2	3	4	5	6	7	8	9	10	Total
1	1	1	1	0	1	0	1	1	0	0	6
2	1	1	1	0	0	0	1	1	0	0	5
3	0	1	1	1	1	0	1	1	1	0	7
4	1	1	1	0	1	1	0	0	0	1	6
5	1	1	0	1	1	1	1	1	1	0	8
6	0	0	0	0	0	0	1	0	1	1	3
7	1	1	0	0	1	0	0	0	0	0	3
8	1	0	1	1	1	1	1	1	0	1	8
9	1	0	0	0	0	0	0	1	0	0	2
10	0	0	1	1	1	0	1	1	0	1	6
Sumatoria	7	6	6	4	7	3	7	7	3	4	
Media	0.73	0.6	0.6	0.4	0.7	0.3	0.7	0.7	0.3	0.4	5.43
Varianza	0.23	0.27	0.27	0.27	0.23	0.23	0.23	0.23	0.23	0.27	2.47
Desv/Est.	0.48	0.52	0.52	0.52	0.48	0.48	0.48	0.48	0.48	0.52	
p	0.7	0.6	0.6	0.4	0.7	0.3	0.7	0.7	0.3	0.4	
q	0.3	0.4	0.4	0.6	0.3	0.7	0.3	0.3	0.7	0.6	
p x q	0.21	0.24	0.24	0.24	0.21	0.21	0.21	0.21	0.21	0.24	2.22

Sumatoria p x q = 2,22
Varianza de la prueba= 2,47